

应用指南AN-46

HiperPLC产品系列



设计指南

简介

PLC810是一款集成PFC + LLC的电源控制器。它可以锁定PFC和LLC的频率及相位，从而降低大容量电容的纹波电流，避免边缘冲突（LLC与PFC级之间的开关边缘重合）以及与之相关的噪音问题。

PFC（功率因数校正器）是位于主LLC转换器前面的一个非隔离式预调节器，它可以调节和校正AC输入电流，使其和输入电压波形一致，从而获得满足国际标准所需的高功率因数。

PLC810PG设计用于连续模式PFC及恒定输出电压。与非连续导通模式PFC相比，连续导通模式PFC具有以下优势：

- 可以使用小尺寸低成本的扼流圈
- 减小了扼流圈的高频纹波及峰值电流
- 减小了MOSFET的RMS电流
- 减小了PFC输入薄膜电容的纹波电流
- 减小了大容量电容的纹波电流
- 降低了差模EMI，节省EMI滤波成本

LLC是一种开关损耗极低而具有高效率的谐振转换器。LLC转换器采用变频开关的方法来调节输出功率。LLC转换器不需要使用输出扼流圈（在有些情况下，可能需要使用小型后级滤波电感来衰减高频尖峰），如果使用“集成式”变压器（具有高漏感），则只需要使用一个磁性元件。集成式变压器还具有初次级电容低的优势，这样可降低共模EMI的生成。PLC810PG设计用一个小型待机电源提供VCC，给IC供电。

范围

本应用指南旨在为具有一定电源设计经验的设计师提供有用的参考信息。本应用指南应与PLC810PG数据手册、RD-189参考设计板和PIXIs PLC810PG设计表格配合使用。

变压器及PFC扼流圈详细设计步骤

本节介绍PCL810PG设计表格的使用方法，该设计表格是PIXIs Designer v.7.1.4.4表格设计工具的一部分（后者是PI Expert Suite 7.1的一部分）。此软件可从PI网站免费下载，您也可以向当地的PI代表索取CD。

运行PIXIs Designer 7。

单击File-New-HiperPLC810。

请注意列标题（图1）。“INPUTS”列下的灰色单元格可供用户输入数值。如果这些单元格留为空白，则会使用右侧“OUTPUTS”列中所显示的默认值。如果“OUTPUTS”列中的单元格的左侧没有对应的灰色单元格，则其中的数值为计算值。

有时，用户可能需要更改一个输出变量（计算值）的值，而该值并没有灰色输入单元格。例如，大电容“CIN_MIN”与“Holdup time”直接相关，但“CIN_MIN”是输出，而“Holdup time”是输入。如果用户想知道某个特定大电容的维持时间，可使用“工具”菜单中的“目标定位”功能。“目标定位”可调整和查找某个输入（本例中为维持时间）的值，从而得出所需的输出（大电容）。

ACDC_PLC810_030509; Rev.1.3; Copyright Power Integrations 2008	INPUTS	INFO	OUTPUTS	UNITS	ACDC_PLC810_030509_Rev1-3.xls; PLC810 Half-Bridge, Continuous mode LLC Resonant Converter Design Spreadsheet
Enter Input Parameters					Design Title
Vacmin			85	V	Minimum AC input voltage
Vacmax			265	V	Maximum AC input voltage
Iacimax			3.84	A	Maximum input AC rms current at Vacmin
Vbulk			385.00	V	Nominal PFC output voltage
Vbulkmax			411.95	V	Peak PFC OVP voltage (typical is 7% above Vbulk)
Vbulkmin			250.25	V	Minimum bulk capacitor voltage at the specified holdup time. Typical value is between 250 - 320 VDC. Max holdup time is at 250 V
fL			50.00	Hz	AC Line input frequency
Holdup time			20.00	ms	Bulk capacitor hold up time
CIN_MIN			140.32	uF	Minimum value of bulk cap to meet holdup time requirement; Adjust holdup time and Vbulkmin to change bulk cap value
bulk ripple			10.79	V	Bulk capacitor peak to peak voltage (low freq ripple)
Vripple			390.40	V	Bulk cap peak value of ripple voltage
IAC			3.84	A	AC input rms current at VACMIN
IAC PEAK			5.43	A	Peak AC input current at full load and VACMIN

图 1. HiperPLC设计表格中的输入参数部分

第1步 – 输入输入参数 (图1), 输入 V_{AC_MIN} 、 V_{AC_MAX} 、 V_{BULK} 、 $V_{BULK(MIN)}$ 、 f_L 以及维持时间的值

典型输入电压范围如下表所示:

额定输入电压(VAC)	V_{AC_MIN}	V_{AC_MAX}
100 / 115	85	132
230	195	265
通用范围	85	265

表 1. 典型的全球输入电压范围

V_{BULK} 是PFC级的额定输出电压。通常采用385 V的电压值, 可为要使用的400 V额定输出电容提供足够的电压裕量。如果需要不同的电压, 请在此单元格中输入所需电压值。

f_L 是额定线电压频率 (50或60 Hz), $V_{BULK(MIN)}$ 是保持时间结束时的电压, 必须大于 V_{BULK} 的65%。如果低于该电压, 在满载时, LLC将不会进行调节。后面的小节中将介绍有关如何选取这些值的详细信息。

第2步 – 输入LLC次级输出 (图2), 输入 V_{O1} 、 I_{O1} 、 V_{d1} 、 V_{O2} 、 I_{O2} 及 V_{d2} 的值

后缀‘1’是指主输出, 后缀‘2’是指次级输出。如果设计只需要一个LLC输出, 可将后者留空。变压器匝数比是指功率更高

的主输出 V_{O1} 。如果是双输出LLC, 低功率输出 V_{O2} 的电压值可以比 V_{O1} 高, 也可以比 V_{O1} 低。 V_{d1} 和 V_{d2} 分别用来描述输出1和输出2的输出整流管的压降。

第3步 – 输入待机 (辅助) 输出, 输入 V_{O3} 、 V_{O4} 、 I_{O3} 及 I_{O4} 的值 (图3)

这些参数用来描述待机PSU的输出, 并可计算PFC上的额外负载。如果待机PSU只有一路输出, 需将 V_{O4} 和 I_{O4} 留空。

第4步 – 效率及损耗分配 (图4)

输入PFC (低输入电压, 满载)、LLC (满载) 以及待机 (满载且PFC导通) 转换器的估计效率。宽范围PFC (最低85/90 VAC) 的典型值为92%, PFC (最低180 VAC) 的典型值为95%, LLC (主输出>12 V) 的典型值为93%。

第5步 – 输入PFC设计参数 (图5) 输入 $f_{(NOMINAL)DESIRED}$ 和 K_{RP} 的值

$f_{(NOMINAL)DESIRED}$ 是满载时的LLC和PFC工作频率 (由LLC决定)。该参数可同时影响PFC扼流圈和LLC变压器的设计。 K_{RP} 是PFC扼流圈电流纹波因数, 它是在最低输入电压 V_{AC_MIN} 、满载时正弦波顶点的纹波电流和正弦输入电流的最大值的比值。典型范围为0.25至0.5 (请参见后面的小节)。二极管桥 V_F 用来描述输入电桥中每个二极管的正向电压降, 并可计算桥式整流管的损耗。

Enter LLC (secondary) outputs				The spreadsheet assumes AC stacking of the secondaries
V_{O1}	24.00		V	Main Output Voltage. Spreadsheet assumes that this is the regulated output
I_{O1}	9.00		A	Main output maximum current
V_{d1}		0.70	V	Forward voltage of diode in main output
P_{O1}		216.00	W	Output Power from first LLC output
V_{O2}	12.00		V	Second Output Voltage
I_{O2}	4.00		A	Second output current
V_{d2}	0.40	0.40	V	Forward voltage of diode used in second output
P_{O2}		48.00	W	Output Power from second LLC output

图 2. HiperPLC设计表单中的次级参数部分

Enter stand-by (auxiliary) outputs				
V_{O3}	5.00		V	Auxiliary Output 1 Voltage
I_{O3}	2.00		A	Auxiliary Output 1 maximum current
V_{O4}			V	Auxiliary Output 2 Voltage
I_{O4}			A	Auxiliary Output 2 maximum current

图 3. HiperPLC设计表格中的待机参数部分

Efficiency and Loss Allocation				
P _{LLC}		264.00	W	Specified LLC output power
P _{AUX}		10.00	W	Auxiliary output power
P _{PFC}		300.29	W	PFC output power
P _{TOTAL}		274.00	W	Total output power (Includes Output power from LLC stage and auxiliary stage)
LLC _n estimated		0.92		Efficiency of LLC stage
AUX _n estimated		0.75		Efficiency of auxiliary output
PFC _n estimated		0.92		Minimum efficiency of PFC front end stage
P _{IN}		326.40	W	AC input power
Overall efficiency		0.84		Minimum system efficiency
P _{loss} PFC		26.11	W	PFC stage power loss
P _{loss} LLC		22.96	W	LLC stage power loss
P _{loss} AUX		3.33	W	Auxiliary power loss
P _{loss} TOTAL		52.40	W	Total power loss

图 4. HiperPLC设计表格中的效率及损耗参数部分

Enter PFC Design Parameters					
f_nominal_desired			100.00	kHz	Desired full load switching frequency. Recommended value 66 kHz to 132 kHz
Krp			0.35		PFC choke ripple current factor. Actual Krp tends to increase at higher current when using iron powder/Sendust cores. due to drop in inductance at higher current
Diode bridge Vf			0.70	V	Forward voltage drop of diode bridge
Rdson			0.18	ohms	PFC MOSFET Rdson - use high temp value from datasheet
Coss			21.76	pF	PFC MOSFET high voltage Coss from datasheet
tON			20.00	ns	MOSFET turnon current rise time. Check actual value
Qrr			50.05	nC	Average Qrr of boost diode over AC sinusoid

图 5. HiperPLC 设计表格中的PFC设计部分

PFC CHOKE Parameters					
Lpfc			435.00	uH	PFC choke inductance
ILpk			7.33	A	PFC choke peak current at VACMIN
AL	380.00			nH/ft ²	nH per turn ² (from magnetics datasheet). Note - This value decreases by as much as 15% if a belly-band is added to reduce EMI
n			33.83	turns	PFC choke number of turns
MLT	5.00			cm	Mean length per turn
AWG_Choke	22				PFC choke wire gauge
Equivalent Choke Metric Wire gauge			0.70	mm	Equivalent diameter of wire in metric units
Wire length			1.69	m	Length of wire used on PFC choke
Strands	3				Number of wires
DCR			32.37	m-ohms	DC resistance of wire at 25 C
DCR at 85 C			40.79	m-ohms	DC resistance of wire at 85 C
Irms_CHOKE			3.84	A	PFC choke rms current
DCR Cu loss			0.60	W	PFC choke DC Copper loss for reference at 85 C
ACR_PFC_Choke			81.58	m-ohms	Measure or calculate; add 26% to measured value to get 85 C value
HF Irms			0.67	A	RMS current of switching component
HF Cu loss			0.04	W	Copper loss due to switching component at 85 C
tot Cu loss			0.64	W	Total copper loss at 85 C
LM	10.00			cm	Magnetic path length of core used
Hpk			31.17	Oe	Peak MMF in Oersted, calculated at low line
Hpk_SI			2481	A/m	Peak MMF in A/m, calculated at low line

图 6. HiperPLC 设计表格中的PFC扼流圈部分

LLC TRANSFORMER CALCULATIONS					
Po			271.90	W	Output from LLC converter including diode loss
Vo			24.70	V	Output at transformer windings (includes diode drop)
Ae	2.10			cm ²	Transformer core cross-sectional area
Lpar			178.62	uH	Parallel inductance. (Lpar = Lopen - Lser for integrated transformer; Lpar = Lmag for non-integrated transformer)
Lser			59.54	uH	Leakage inductance of integrated transformer; Leakage + external inductor for non-integrated transformer
Lopen			238.16	uH	Primary open circuit inductance for integrated transformer
C			33.71	nF	Series resonant capacitor
fnominal_desired			100.00	kHz	Desired full load switching frequency. Recommended value 66 kHz to 132 kHz
fnominal_actual			99.2	kHz	Expected frequency at nominal input voltage (VBULK) and full load
IRMS_LLC_Primary			1.94	A	Primary winding RMS current at full load and nominal input voltage (VBULK)
IRMS_LLC_Q1			1.37	A	RMS current through upper MOSFET in LLC half bridge
VMIN			240.2	V	Minimum Voltage on Bulk Capacitor at minimum switching frequency
f_AT_VMIN			54.00	kHz	Frequency at minimum Bulk capacitor voltage
fpar			55	kHz	Parallel resonant frequency (defined by Lpar + Lser and C)
fser			95	kHz	Series resonant frequency (defined by series inductance Lser and C)
fmin			57	kHz	Min frequency, at VBULK_MIN and full load. Set PLC810 minimum frequency to this value. Operation below this frequency results in loss of ZVS
NP_1			30		Primary winding number of turns
NS_1	4.00		4		Secondary winding number of turns
n_RATIO			7.58		Transformer turns ratio. Adjust this value so that fnominal_actual is close to fnominal_desired
Bpkfmin			1287	Gauss	First Quadrant peak flux excursion at minimum frequency.
BAC			1483	Gauss	AC peak to peak flux density (calculated at fnominal_actual, VBULK at full load)
LLC sense resistor			0.10	ohms	LLC current sense resistor
Pdiss_LLC_senseR			0.37	W	Power dissipation in LLC sense resistor

图 7. HiperPLC 设计表格中的LLC变压器部分

第6步 – PFC扼流圈参数 (图6)

本节帮助您使用铁氧体磁芯、铁粉磁芯或Sendust/Koolmu铁硅铝磁芯进行电源设计。您也可以使用EE或环形磁芯。电感 L_{PFC} 及其峰值电流 $I_{L(PK)}$ 为计算值，受 K_{RP} 的影响很大。 H_{PK} (mmf)与 $I_{L(PK)}$ 成比例，也是计算值。 A_L 是每匝数平方的电感值，以每匝数平方nH (nH/N²)表示，该值可以从磁芯数据手册中获取。理想情况下，应使用带给定 H_{PK} 的值，因为对于铁粉磁芯和铁硅铝磁芯， A_L 随“电流/mm²”的下降而下降。由于 A_L 值与 H_{PK} 互相关联，因此有必要进行一些迭代计算。

MLT（平均每匝长度）是每匝绕线的平均距离，它与磁芯尺寸有关。在多层设计中，长度需稍微加大。该参数可用来计算总绕线长度和DC电阻(DCR)。为了降低AC电阻(ACR)损耗和降低扼流圈绕制难度，可使用双线或三线并绕。您可以测量和输入实际AC电阻(ACR)。ACR应在LCR桥上进行测量，同时将频率设定为 $f_{(NOMINAL)DESIRED}$ 。进行此测试时必须移除磁芯，因此只有使用EE磁芯才能轻易完成。对于环形磁芯，应将ACR设置为与DCR相同的值。如果绕组层数小于3，这种假定就是合理的。 L_M 是磁路长度，它与磁芯尺寸相关。 H_{PK} 与 L_M 成反比。

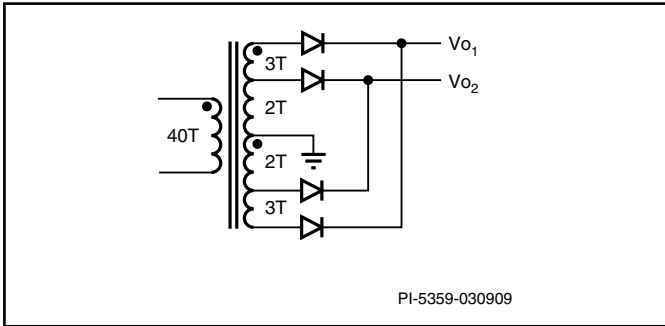


图 8. 在本变压器示例中, NS_1 (指 Vo_1) 为5, NS_2 (指 Vo_2) 为2

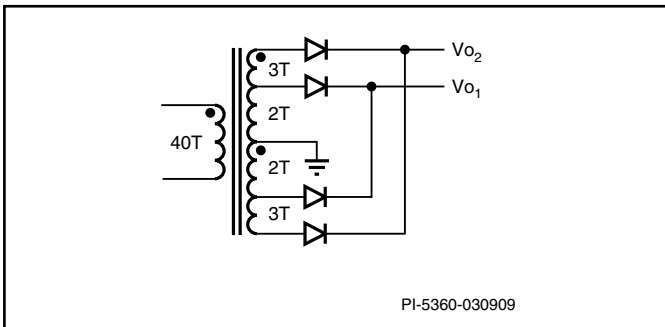


图 9. 在本变压器示例中, NS_1 (指 Vo_1) 为2, NS_2 (指 Vo_2) 为5

如果铁氧体是适合PFC扼流圈的材料, 建议使用多股线或利兹线, 这是因为典型的铁氧体扼流圈所需的绕组层数, 可大幅提高因临界损耗所导致的AC电阻, 尽管低AC纹波电流在连续模式PFC设计中是固有的。

设计铁氧体PFC扼流圈时, 需要运用以下公式:

$$B_p = \frac{100 \times L_{PFC} \times I_{L(PK)}}{N \times A_E}$$

其中, B_p 是磁芯峰值磁通密度(T), 必须保持在0.34 Tesla以下以避免磁芯饱和; L_{PFC} 是来自PFC设计部分(图6)的所需电感量(μH); N 是匝数; A_E 是来自磁芯数据手册的磁芯等效截面积(cm^2); $I_{L(PK)}$ 是来自PFC设计部分(图6)的PFC扼流圈峰值电流(A)。

在给定的磁芯和PFC设计中, 可通过调节 N 来实现目标峰值磁通密度。在典型应用中, 连续模式PFC设计的低纹波电流可以产生相应低的AC磁通密度和磁芯损耗, 这样可以通过维持尽可能高的峰值磁通密度来实现最高的效率, 同时避免磁芯饱和, 这意味着需要将 B 设定为0.34 T。一旦匝数选定后, 请调节气隙, 直至达到所需的电感。利用以下公式可估算初始气隙尺寸 L_G (mm):

$$L_G = 40 \times \pi \times A_E \times \left(\frac{N^2}{1000 \times L_{PFC}} - \frac{1}{A_L} \right)$$

其中, A_E 是来自磁芯数据手册的磁芯等效截面积(cm^2); N 是匝数; L_{PFC} 是所需电感(μH); A_L 是来自磁芯数据手册的无气隙等效电感量(nH/N^2)。

带气隙磁芯等效电感量 A_{LG} (nH/N^2)在为磁芯供应商指定电感设计时非常有用, 它由以下公式计算得出:

$$A_{LG} = 1000 \times \frac{L_{PFC}}{N^2}$$

其中, L_{PFC} 是所需电感量(μH), N 是匝数。

第7步 – LLC变压器计算 (图7)

磁芯截面积 A_E 用于计算磁通密度 ($B_{PK(F_{MIN})}$ 和 B_{AC})。磁通密度与磁芯面积成反比。

在第1至6步中输入参数后, PIXIs设计表格将会计算4个变压器/谐振回路变量的建议值: L_{PAR} 、 L_{SER} 、 C 及 n_{RATIO} (匝数比)。如果输入列留空, 这4个变量将会出现在输出列内。匝数比的定义为初级匝数与次级匝数的比率, 其中, 次级匝数是次级接地引脚与 Vo_1 整流管之间的主输出匝数(Vo_1)。(请参见图8和图9)。这4个变量也可以设定为输入。设计表格将根据输入的任何新值执行重行计算。

这些计算的输出为 f_{PAR} (并联谐振频率)、 f_{SER} (串联谐振频率)、 $f_{(NOMINAL)DESIRED}$ (满载及额定总线下的实际频率)、 V_{MIN} 、 $f_{(AT_{VMIN})}$ 以及 f_{MIN} 。设计表格还会在下一个页面中创建总线电压与频率以及初级MOSFET RMS电流与频率的关系对比图。单击设计表格底部的“PIXIs图表”选项卡, 将会绘制两种负载条件下的总线电压与频率曲线图: 满载和最小负载。

V_{MIN} 是LLC仍可提供满载的最小总线电压, 稍微低于LLC在ZVS时工作的最小频率。这是曲线图上显示的最小总线电压。与 V_{MIN} 相对应的频率是 $f_{(AT_{VMIN})}$ 。 f_{MIN} 是稍高的频率, 也是ZVS维持工作时的最小频率。让LLC转换器在 f_{MIN} 和 $f_{(AT_{VMIN})}$ V_{MIN} 之间短时工作是可以接受的, 比如在维持期间, 但在正常工作情况下工作频率最好高于 f_{MIN} 。

计算4个输入变量的初始值, 使 f_{SER} 略低于 $f_{(NOMINAL)DESIRED}$ 。不过, 可以选择不同的 f_{SER} 。(请参见相应的部分, 了解设定 f_{SER} 时的权衡点)。还可以设定4个初始建议值, 以使:

$$L_{PAR} = 3 \times L_{SER}$$

设计师可以更改4个输入变量中任意一个, 并检验计算结果。在有些情况下, 设计师对 L_{SER} 和/或 C 的选择有限, 因此无法使用设计表格建议的值, 或者设计师可能需要使用不同的 f_{SER} 或 L_{PAR}/L_{SER} 比值。

PRIMARY				
Primary gauge	40.00		AWG	Individual wire strand gauge used for primary winding
Equivalent Primary Metric Wire gauge		0.08	mm	Equivalent diameter of wire in metric units
Primary litz strands	125.00			Number of strands used in Litz wire; for non-litz non-integrated transformer set to 1
Primary parallel wires	1.00			Number of parallel individual wires to make up Litz wire
Resistivity 25 C Primary		29.83	m-ohm/m	Resistivity in milli-ohms per meter
Transformer primary MLT	7.00		cm	Mean length per turn
Primary turns		30.31		Number of primary turns
Primary DCR 25 C		63.31	m-ohm	Estimated resistance at 25 C
Primary DCR 100 C		84.83	m-ohm	Estimated resistance at 100 C (approximately 33% higher than at 25 C)
Primary RMS current	1.50		A	Measured RMS current through the primary winding
ACR Trf Primary		135.73	m-ohm	Measured AC resistance (at 100 kHz, room temperature), multiply by 1.33 to approximate 100 C winding temperature
Primary copper loss		0.31	W	Total primary winding copper loss at 85 C

图 10. HiperPLC设计表格中的LLC变压器初级侧部分

Separate Series Inductor (For non-integrated transformer only)				
Lsep		59.54	uH	Ignore this section if using integrated magnetics
Ae Ind	0.53		cm^2	Desired inductance from separate inductor
Inductor turns	15.00	15		Inductor core cross-sectional area
BP fnom		2202	Gauss	Number of primary turns
BP fmin		2913	Gauss	AC flux for core loss calculations (at fnom and full load)
Inductor gauge	40.00		AWG	Peak flux density, calculated at minimum frequency fmin
Equivalent Inductor Metric Wire gauge		0.08	mm	Individual wire strand gauge used for primary winding
Inductor litz strands	125.00			Equivalent diameter of wire in metric units
Inductor parallel wires	1.00			Number of strands used in Litz wire
Resistivity 25 C Sep Ind		29.83	m-ohm/m	Number of parallel individual wires to make up Litz wire
Inductor MLT	7.00		cm	Resistivity in milli-ohms per meter
Inductor DCR 25 C		31.32	m-ohm	Mean length per turn
Inductor DCR 100 C		41.97	m-ohm	Estimated resistance at 25 C (for reference)
ACR Sep Inductor		67.16	m-ohm	Estimated resistance at 100 C (approximately 33% higher than at 25 C)
Inductor copper loss		0.15	W	Measured AC resistance (at 100 kHz, room temperature), multiply by 1.33 to approximate 100 C winding temperature
				Total primary winding copper loss at 85 C

图 11. HiperPLC设计表格中的独立串联电感部分

设计师可以为 L_{SER} 或C选择一个不同的值，然后重新优化其它3个变量。在 f_{SER} 和 $f_{(NOMINAL)DESIRED}$ 值给定的情况下，4个输入变量有一个最佳值集。当LLC的 V_{MIN} 达到或稍低于 $V_{BULK(MIN)}$ 时，可获得最佳结果。当 V_{MIN} 远低于 $V_{BULK(MIN)}$ 时，LLC将因初级电流升高而降低工作效率。另一个自由度值是 L_{PAR} 与 L_{SER} 的比率。比率增高会减小电流，但也会降低 f_{MIN} ，因此升高了在 f_{MIN} 下的磁通密度，可能需要增大磁芯截面积或增加次级匝数。

磁通密度与频率和次级匝数(NS_1)成反比，而与输出电压成正比。气隙、初级励磁电感和 L_{PAR} 不影响磁通密度的大小。必须对 NS_1 进行调节以控制磁通密度。但是不能为了降低磁通密度而任意增加 NS_1 ，因为这会减小用作初级和次级绕组的线径，增加了阻性损耗。相反， NS_1 也不能过低（与避免磁芯饱和无关），因为次级匝数过低会提高 B_{AC} ，从而导致磁芯损耗过大。下面将对此进行详细讨论：

为了在固定 L_{SER} 或C后正确重新优化其它3个变量，请遵循以下步骤：

- 确定 f_{SER} 的值。
 - 如果固定 L_{SER} （使其成为独立变量），请使用“目标定位”来调节C，以使 f_{SER} 达到所需的值。
 - 如果固定C（使其成为独立变量），请使用“目标定位”来调节 L_{SER} ，以使C达到所需的值。
- 接下来，确定 L_{PAR} 与 L_{SER} 的比率k。典型范围为2至4。输入 L_{PAR} 的值，公式为：

$$L_{PAR} = k \times L_{SER}$$

其中，k是电感比。

- 前面的2个步骤将设定 L_{PAR} 、 L_{SER} 和C。最后一步是设定匝数比，以获得所需的 $f_{(NOMINAL)ACTUAL}$ 值。再次使用“目标定位”来调节 N_{RATIO} （匝数比）的值，以获得所需的 $f_{(NOMINAL)ACTUAL}$ 值。检验 V_{MIN} 的结果值。如果过低或过高，请调节独立变量（ L_{SER} 或C），再次使用“目标定位”，直到获得可接受的 V_{MIN} 值。

设计师可能需要保存计算结果，在 f_{SER} 给定的情况下，尝试不同的k（电感比）值。此外，也可以尝试不同的 f_{SER} 值。检验 $I_{RMS(LLC)PRIMARY}$ （初级电流）或 $I_{RMS(LLC)Q1}$ （MOSFET电流）。这些值都互相成比例。检验 $B_{PK(f_{MIN})}$ （ f_{MIN} 下的磁通密度）和 B_{AC} （额定总线电压下的AC峰峰磁通密度）。这些都是需要考虑的重要参数。降低初级电流有助于提高效率。检查并确保 $B_{PK(f_{MIN})}$ 不会达到饱和，AC磁通量不会过高，因为这样会导致磁芯温度过高。频率更高的铁氧体磁芯材料（例如PC44或3F3）可用来降低磁芯损耗。

注意，如果使用一个集成变压器（内置大漏感），变压器漏感(L_{SER})会随着初级匝数的变化而变化。该漏感与初级匝数的平方成比例。如果最佳 L_{SER} 大于实际漏感，设计师可以选择添加一个外部谐振电感。对于这种电感，由于AC磁通量和临近效应损耗较高，建议使用有气隙的铁氧体磁芯和利兹线。

“LLC变压器计算”部分的另一个输入是 NS_1 （次级匝数），根据 NS_1 和 N_{RATIO} （匝数比）可以计算出 NP_1 （初级匝数）。

“LLC检测电阻”是根据初级电流计算出的建议值， $P_{DISS(LLC)SENSE}$ 是电阻在满载和额定总线电压下的功耗耗散。

第8步 – 初级侧 (图10)，输入初级导线参数

分别输入“初级导线规格”、“初级利兹线”和“初级并绕线”的值。例如，如果使用2束每个有125股的#40利兹线，可输入40、125和2。如果使用双线#27磁线（非利兹线），则输入27、1和2。设计表格将计算出相应的损耗。

设计表格会估算出ACR（AC电阻），将其显示在输出列中。在输入列中输入实际ACR后即可覆盖该数字。移除磁芯并将LCR桥测量频率设定为LLC额定频率后，可以在LCR桥上测量ACR。

设计表格还可以计算DCR（DC电阻）。使用单点连接电阻测量装置来测量实际电阻，并进行对比。如果测量电阻明显高于计算电阻，则说明利兹线没有正确端接到变压器引脚。这时需要特别留意，应使焊料充分渗入内层线股。

第9步 – 独立串联电感（仅适用于非集成变压器，可选）（图11）

本小节介绍独立串联电感的设计方法，在设计师选择使用独立串联电感而不是集成磁芯时适用。为了降低与高AC磁通量相关的损耗，强烈建议您使用有气隙的铁氧体电感和利兹线。在 L_{SEP} 中输入所需的电感量，以覆盖来自 L_{SER} 的默认值。使用 L_{SEP} 的值，公式如下：

$$L_{SEP} = L_{SER} - L_{LK}$$

其中， L_{LK} 是主变压器的测量漏感。

要输入的变量的说明信息与“初级侧”部分类似。

第10步 – 绕组1 (V_{o1})和绕组2 (V_{o2}) (图12)

输入每个输出的导线规格和匝数。本小节中匝数的指定方式与图8和图9中的情况相同。设计表格会假定“AC叠加方式”，并正确计算绕组电流和损耗 – 也即，在计算低压输出的绕组电流时，会包括计算高压绕组的电流。

设计表格会计算25 °C和100 °C下的DCR（DC电阻）。请使用Kelvin连接电阻测量装置来测量实际电阻。如果测量电阻明显高于计算出的25 °C DCR，则说明利兹线没有正确端接。

设计表格会估算出ACR（AC电阻），将其显示在输出列中。您在输入列中输入实际ACR后即可覆盖该数字。移除磁芯并将LCR桥测量频率设定为LLC额定频率后，可以在LCR桥上测量ACR。设计表格会计算AC RMS及DC电流，并使用它们来确定ACR及DCR损耗。

第11步 – 总铜损计算 (图13)

将计算所有绕组的总损耗。

第12步 – 匝数计算 (图14)

匝数计算器没有连接到设计表格的任何其它部分。它用于多路输出设计，可帮助设计师实验不同的次级匝数和二极管压降组合，从而实现正确的输出电压。确定了主输出的匝数后，应将此数字输入“LLC变压器计算”部分中的NS1，以便正确计算磁通密度。

Winding 1 (Vo1)					Note - Power loss calculations are for each winding half of secondary
Sec 1 Wire gauge	40			AWG	Individual wire strand gauge used for secondary winding
Equivalent secondary 1 Metric Wire gauge			0.08	mm	Equivalent diameter of wire in metric units
Sec 1 litz strands	175				Number of strands used in Litz wire; for non-litz non-integrated transformer set to 1
Parallel wires sec 1	2				Number of parallel individual wires to make up Litz wire
Resistivity 25 C_sec1			10.65	m-ohm/m	Resistivity in milli-ohms per meter
Transformer Secondary MLT	7.00			cm	Mean length per turn
Sec 1 Turns			4.00		Secondary winding turns (each half)
DCR_25C_Sec1			1.49	m-ohm	Estimated resistance at 25 C (for reference)
DCR_100C_Sec1			2.00	m-ohm	Estimated resistance at 100 C (approximately 33% higher than at 25 C)
Sec 1 RMS current			14.15	A	RMS current through Output 1 winding, assuming half sinusoidal waveshape
DCR_Ploss_Sec1			0.32	W	Estimated Power loss due to DC resistance (both secondary halves)
ACR_Sec1			3.20	m-ohm	Measured AC resistance (at 100 kHz, room temperature), multiply by 1.33 to approximate 100 C winding temperature . Default value of ACR is twice the DCR value at 100 C
ACR_Ploss_Sec1			1.28	W	Estimated AC copper loss (both secondary halves)
Total secondary winding Copper Losses			1.60	W	Total (AC + DC) winding copper loss for both secondary halves
Winding 2 (Vo2)					Note - Power loss calculations are for each winding half of secondary
Sec 2 Wire gauge	40			AWG	Individual wire strand gauge used for secondary winding
Equivalent secondary 2 Metric Wire gauge			0.08	mm	Equivalent diameter of wire in metric units
Sec 2 litz strands	175				Number of strands used in Litz wire; for non-litz non-integrated transformer set to 1
Parallel wires sec 2	1				Number of parallel individual wires to make up Litz wire
Resistivity 25 C_sec2			21.31	m-ohm/m	Resistivity in milli-ohms per meter
Transformer Secondary 2 MLT	7.00			cm	Mean length per turn
Sec 2 Turns	2.00				Secondary winding turns (each half)
DCR_25C_Sec2			2.98	m-ohm	Estimated resistance at 25 C (for reference)
DCR_100C_Sec2			4.00	m-ohm	Estimated resistance at 100 C for half secondary (approximately 33% higher than at 25 C)
Sec 2 RMS current			20.44	Arms	RMS current through Output 2 winding; Output 1 winding is AC stacked on top of Output 2 winding
DCR_Ploss_Sec1			1.35	W	Estimated Power loss due to DC resistance (both secondary halves)
ACR_Sec2			6.40	m-ohm	Actual measured AC resistance (at 100 kHz, room temperature), multiply by 1.33 to approximate 100 C winding temperature . Default value of ACR is twice the DCR value at 100 C
ACR_Ploss_Sec2			5.34	W	Estimated AC copper loss (both secondary halves)
Total secondary winding Copper Losses			6.69	W	Total (AC + DC) winding copper loss for both secondary halves

图 12. HiperPLC设计表格中的LLC变压器次级部分

Total Copper loss calculation				
Primary copper loss (from Primary section)			0.31 W	Does not include fringing flux loss from gap
Secondary copper Loss			8.30 W	Total primary winding copper loss at 85 C
Transformer copper loss			8.60 W	Total copper loss in secondary winding
				Total copper loss in transformer (primary + secondary)

图 13. HiperPLC设计表格中的LLC变压器铜损部分

TURNS CALCULATOR				This is to help you choose the secondary turns - not connected to any other part of spreadsheet
V1			24.00 V	Target Output Voltage Vo1
V1d1			0.70 V	Diode drop voltage for Vo1
N1	4.00			Total number of turns for Vo1
V2			11.95 V	Expected outputV
V2d2			0.40 V	Diode drop voltage for Vo2
N2	2.00			Total number of turns for Vo2

图 14. HiperPLC设计表格中的变压器匝数计算器部分

布局、去耦及EMI设计建议

建议设计师参考HiperPLC数据手册中有关PLC810PG的详细布局和去耦建议。PFC MOSFET栅极引脚中的小铁氧体磁珠有助于防止寄生自激振荡的产生。这样还会降低驱动的速度，因此可能需要对PFC栅极电阻进行调节。

MOSFET漏极导线上的小铁氧体磁珠还可以大幅降低辐射EMI。不过，这会导致漏极电压应力升高，因此应在启动期间进行测量。有必要降低关断驱动的速度，确保获得可接受的漏极电压应力。务请注意，有些铁氧体磁珠材料是电抗型的，Fair-rite 43型具有高DC电阻率，比较适合这种设计要求。

在布局次级电路时，必须使用短走线将输出整流管靠近变压器次级引脚安装。如果使用后级滤波器或多路输出电容，最后一个电容应靠近输出连接器安装。这样可降低开关噪声尖峰所造成的输出纹波。

需要在变压器次级引脚和每个整流管之间采用对称布局，以正确均分次级两个半侧中的电流。均分不当会导致次级损耗增大以及输出纹波电压升高。变压器内部的次级绕组两个半侧采用对称布局也同样重要。

与任何其它电源一样，EMI滤波器应与主开关磁芯（PFC扼流圈和LLC磁芯）彼此分开。这样做是为了防止噪音耦合和随之产生的高传导EMI。如电路图中所示，与紧靠插座的AC相连的EMI滤波器元件应靠近AC插座安装。

LLC转换器容易产生低EMI，特别是集成有磁芯的转换器（变压器具有内置漏感）。这是因为集成磁芯要求初级绕组与次级绕组隔离开，由此导致低初次级耦合电容。这样会降低变压器上的共模噪音传导。相反，PFC转换器可产生大量噪音。降低EMI的技术包括数据手册中提及的相关技术。PFC扼流圈上的

接地磁屏蔽也有助于降低EMI。扼流圈上的“Z”绕组技术也很有帮助，在使用环形磁芯时特别有用，因为它可以使散热片和LLC变压器磁芯接地。不建议在LLC集成变压器上使用磁屏蔽（短接），因为它会降低电源效率。在采用这种磁屏蔽之前应仔细检验其具体效应。

开关频率的选取

PLC810PG中的LLC和PFC具有相同的工作频率。任何PFC的建议频率范围均为66至132 kHz。频率越高，PFC和LLC的磁芯就越小，但由于PFC二极管存在反向恢复损耗，PFC的效率会随着频率的升高而下降。66 kHz的工作频率得益于132 kHz二次谐波，该频率低于150 kHz（EMI标准通常不要求测量低于150 kHz的频率。）100 kHz的开关频率对于锁定频率设计来说是个很好的折衷，132 kHz有助于减小磁芯尺寸。开关频率高于132 kHz则容易提高成本和增加EMI滤波器的复杂度，并逐渐不利于磁芯尺寸的减小。LLC的频率是可控的，它决定PFC开关频率的大小。理想情况下，应将LLC转换器的工作频率设计为接近其串联谐振频率（在额定输入电压下），以使LLC的工作频率随负载变化的幅度极小。为了抑制大容量电容上出现的100/120 Hz纹波，频率将会发生轻微变化。这会产生频率抖动效应，在有些情况下可降低EMI。在维持时间期间，输入电压降低时为了稳压，LLC会将其开关频率降至选定的最小值(f_{MIN})。

PLC810PG PFC的基本工作原理

PFC电路的作用是拉出与输入电压同相的正弦电流，从而减小电流谐波并将功率因数提高到接近1的水平。PLC810PG PFC升压控制器也可以稳定输出（大容量电容）电压。宽输入范围设计的典型设定点为385 V。385 V稍高于最大输入电压265 VAC的峰值，不过也足够低，因此在负载突降期间（满载到轻载瞬态），典型的OVP设定点105%可以使总线电压始终低于412 V。由于该电压足够低，因此可以使用420 V的大容量电容，与高额定电压的电容相比，其成本优势非常明显。

大部分连续模式PFC控制器都使用一个电流内环，用于追踪源自输入电压的正弦参考电压。PLC810PG不使用正弦参考电压即可拉出正弦电流（因而可节省一个引脚以及相关的外围元件）。这是通过关断时间控制来实现的，其中关断占空比与平均电感电流（在多个开关周期中测得）保持比例关系。由于输入AC线电压频率为50-60 Hz而开关频率是它的1000多倍，因此输入电压(V_{IN})在多个开关周期内保持有效恒定—PLC810PG PFC控制器正是利用了这一特性。

PLC810PG的PFC部分控制了PFC的关断时间。连续模式升压转换器生成关断占空比。（根据连续模式升压转换器的伏秒平衡方程可推导出关断占空比）：

$$D_{OFF} = (1 - D) = \frac{V_{IN}}{V_{OUT}} \quad (1)$$

其中， V_{IN} 是经整流的AC正弦电压。输入电流波形跟随平均电感电流（多个开关周期内的平均值）波形，因此PFC看来类似于与AC输入市电相连的电阻。

$$I_{IN} = I_{SENSE} = \frac{V_{IN}}{R_E} \quad (2)$$

其中， R_E 是AC输入的等效负载电阻。电流 I_{SENSE} 是PFC电流检测电阻检测到的馈入ISP引脚的电流。

重新整理后，

$$V_{IN} = I_{SENSE} \times R_E \quad (3)$$

合并公式(1)和公式(3)可以得出

$$D_{OFF} = I_{SENSE} \frac{R_E}{V_{OUT}} \quad (4)$$

$\frac{R_E}{V_{OUT}}$ 是变化缓慢的比例常数。

由于 R_E 和 V_{OUT} 保持相对恒定，从上述公式可以看出 D_{OFF} 与 I_{SENSE} 成比例变化。如果 R_E/V_{OUT} 值相对于60 Hz波形变化缓慢，平均电流将与输入电压保持同相。

在PLC810PG内部， D_{OFF} 和 I_{SENSE} 之间的比例常数由VCOMP引脚上的电压来表示，其额定线性范围为0.5 V至2.5 V。0.5 V表示最大输入AC电流（低线压、满载），2.5 V表示最小输入AC电流（高线压、轻载）。

在其内部，

$$D_{OFF} = -V_{ISP} (V_{COMP} - 0.5 V) \times 7.5$$

0.5 V是偏移项，7.5是比例项， V_{ISP} 是施加到ISP引脚的电感电流检测电阻的电压（为负值）。ISP引脚还可执行逐脉冲电流限

制，正常工作期间的额定电压为0.43 V。在轻载条件下， D_{OFF} 与该公式不相符，因为PI有专利的方案允许在此情况下正常操作。电感的电流检测信号通过低通滤波器进行内部耦合，可省去开关元件。只需使用ISP引脚的外部RC滤波器即可滤除高频尖峰。

输出电压的调节通过更改VCOMP引脚电压来实现。使用跨导误差放大器来达到这一目的。如果输出电压过高，VCOMP引脚电压将上调，AC输入电流随之减小；如果输出电压过低，VCOMP引脚电压将下调，AC输入电流随之增大。

VCOMP引脚与跨导运算放大器的输出端内部相连。该放大器的输出电流与FBP引脚上的误差电流成比例。

$$I_{VCOMP} = (V_{FBP} - 2.2) \times 85 \mu A/V$$

FBP引脚通过电阻分压网络来检测PFC输出电压。输出稳压后，FBP引脚电压将达到额定的2.2 V（参数名称 FBP_{REF} ）。电流 I_{VCOMP} 在FBP引脚上对补偿网络进行充电或放电（见图16）。由于 D_{OFF} 是VCOMP引脚电压的函数，因此系统增益也是该网络的函数。该网络可设定环路增益，并形成频率响应曲线。环路增益需要一个远低于50/60 Hz交越频率，以便实现高功率因数。大容量电容中会看到输入AC电流整流后的波形，它具有100或120 Hz的基波分量（以及高频开关电流）。该100/120 Hz AC电流将产生电压纹波。如果增益交越频率过高，反馈环路将尝试校正该电压纹波，输入AC电流将发生畸变。

基本PFC公式

由于PFC的功率因数接近1，则AC RMS电压与RMS电流的关系式如下：

$$I_{AC} = \frac{P_{IN}}{V_{AC}}$$

输入功率与转换器的效率和输出功率的关系式如下：

$$P_{IN} = \frac{P_{OUT}}{\eta}$$

在最低输入电压下（典型设计为85 VAC或90 VAC）会出现最差条件效率（以及最差条件输入电流）。输入AC电流的峰值是AC RMS电流的 $\sqrt{2}$ 倍。

$$I_{ACPK} = \sqrt{2} \times \frac{P_{OUT}}{\eta \times V_{ACMINRMS}}$$

扼流圈电流波形将是经整流的输入正弦波，上面叠加有开关频率锯齿波。在连续导通模式设计中，该锯齿波峰峰值将小于100/120 Hz分量。

因数 K_{RP} 是指峰峰纹波电流与低线电压及满载工作条件下AC正弦波达到峰值时的 I_{ACPK} 的比值。

$$K_{RP} = \frac{I_{RIPPLE}}{I_{ACPK}}$$

K_{RP} 因数越小，高频电流纹波就越小，工作状态就越连续。

在低线电压条件下，只要出现AC跌落（总线电压几乎降至 $V_{BULKMIN}$ ），即会产生PFC所需的最大峰值电流。正是在此条件下产生最小开关频率和最大瞬态 K_{RP} 。该瞬态 K_{RP} 将大于最大负载及低线电压条件下的稳态工作时的 K_{RP} 。因此，应在最低AC电压下AC跌落期间检查PFC的性能。逐渐加大跌落的幅度，直至总线电压降至 $V_{BULKMIN}$ 左右，检查PFC能否恢复。

PFC元件的选择

PIXIs设计表格能够帮助设计师计算PFC的各种电流应力及元件值。

PFC电感计算

电感值决定 K_{RP} 的大小。电感越高， K_{RP} 就越小。设计表格将 K_{RP} 视为输入来计算电感量和电流应力。减小 K_{RP} 即可减少与纹波及峰值电流相关的损耗，但这需要增加匝数（除非使用大磁芯），进而会加大扼流圈铜损。典型的 K_{RP} 值介于0.2到0.5之间。注意，如果使用铁粉磁芯和Sendust™/KoolMu™型磁芯，电感会在高电流时减小，因此高电流时的电感将小于测得的小信号电感。所以，如果给定小信号电感值，高电流时的实际 K_{RP} 值将大于设计表格中预测的值。

K_{RP} 在额定开关频率下定义。开关频率越高，给定电感下的 K_{RP} 值就越小，或者说给定 K_{RP} 下的电感就越小。在轻载工作条件下（LLC为了能调节输出运行在更高的频率），电流纹波将非常小。

在典型 K_{RP} 值介于0.2和0.5之间的情况下，如果使用EE磁芯，绕组通常需要3-5层。采用这种层数时，AC电阻（因集肤效应和临界损耗）将增大，绕组的 I^2R_{AC} 发热量将非常大。在这种情况下，使用双线或三线并绕绕组可大幅降低铜损。连续导通模式PFC设计通常不需要利兹线（不同于非连续导通模式PFC设计）。

必须选择适当的电感磁芯材料（及匝数），以使扼流圈在峰值电流时不会饱和。因此，需要在磁芯材料成本、功率耗散、温度以及电感在高电流水平下的降低量之间进行权衡折衷。

为避免饱和，需计算出磁动势(mmf):

$$H_{PK} = I_{PK} \times \frac{N}{l}$$

其中， H_{PK} 是安匝数(SI)或奥斯特(CGS)，N是匝数，l是磁芯的磁路长度。

有关此参数的计算方法，请参见PIXIs设计表格。注意，对于像Sendust或KoolMu的铁粉磁芯，参数H（磁场强度）在确定磁芯饱和方面要优于参数B（磁通密度），这是因为磁芯具有极高的非线性特征（磁导率随H下降）。

Sendust或KoolMu磁芯非常适合PFC扼流圈应用，因为它们相对于有气隙的铁氧体磁芯具有较高的 B_{SAT} （饱和磁通密度），这样设计出来的扼流圈匝数较少、铜损低且磁芯损耗也可接受。有气隙的铁氧体磁芯设计必须很大才行，这会导致铜的成本过高。所需的层数过多也会导致AC电阻增大，从而进一步提高损耗并增加铜线尺寸及成本，甚至还可能要在连续导通模式设计中使用利兹线。

开始电感设计时请参见相应的KoolMu应用指南，PIXIs设计手册中提供有所需的电感量、RMS电流及峰值电流要求。选取在预期峰值电流下的电感量，并将此值应用到设计表格中。此外，在达到预期H值时使用AL值（每平方匝数的电感量），并将此值输入到设计表格中，让它计算出正确匝数。电感设计需要在减小纹波电流和缩减电感成本及尺寸之间进行权衡折衷。电感值增大将减小开关频率下的纹波电流，进而减小大容量电容的纹波电流。电感值减小将降低电感的成本，但会增大纹波电流和降低总效率。

如果使用小尺寸磁芯，则需要在增加细线匝数和减小粗线匝数之间进行权衡折衷。匝数更多的设计（如果将 K_{RP} 最高值从0.5减至0.3）可提高系统效率，但会导致绕组温度升高。电感设计的部分工作涉及热测试。需要在最低AC输入电压及最高负载下分别监测磁芯及绕组的温度。如果磁芯的温度明显高于绕组，则需要增加匝数以平衡温度，反之亦然。对这些温度进行平衡可以提高总效率。需要将绕组的DCR与ACR（使用LCR测定计在开关频率下测得，同时拆下磁芯）进行比较。将ACR输入PIXIs设计表格。设计表格将计算开关频率基频所造成的损耗。如果ACR造成的铜损过大，需要增大电感（这增加了匝数和DCR，但由于纹波电流减小，所以ACR铜损降低），或者使用多股细线，比如使用双线或三线绕组。

大容量电容的值

有2个主要因数来设定PFC输出（大容量）电容的尺寸。一个因数是维持时间，另一个是所需纹波电流额定值。PLC810PG具有纹波电流抵消功能，与传统的产品相比，可减小大容量电容中的纹波电流。

维持时间要求将决定最小电容，但具有该电容值的给定大容量电容可能无法承受高纹波电流。在这种情况下，应从其它厂家中选择一个具有所需纹波电流额定值的大容量电容。或者，可以使用一个较大的容量值，也可以使用两个大容量电容。两个各具一半电容值的电容能够比单电容承受更高的纹波电流（但成本通常会更高）。

在维持期间，大容量电容的电压将下降。当总线电压达到 $V_{SD(L)}$ （额定为设定点的65%）时，PLC810PG将关断LLC。对于385 V设计，65%对应的总线电压约为250 V。此时，为了在大容量电容给定的情况下获得最大维持时间，设计出的LLC转换器应能够在总线电压降至250 V时正常工作（设计表格中将参数 $V_{BULKMIN}$ 设定为250 V）。然而，设计师可以选择将LLC设计为仅在较高的最低电压下工作，例如 $V_{BULKMIN} = 275$ V，以便提高LLC效率。而权衡点是，最低工作电压的升高会增大提供给定维持时间所需的大容量电容。如果满足纹波电流所需的大容量电容大于实现必要维持时间所需的电容，设计师可以选择增高 $V_{BULKMIN}$ 以提升LLC效率，同时不造成成本增加。

设计表格将计算维持时间并估计纹波电流。

注意，维持时间与以下因素成比例：

$$C_{BULK} \times (V_{SETPOINT}^2 - V_{BULKMIN}^2)$$

其中， $V_{BULKMIN}$ 是LLC的最低输入电压。

因此，随着 $V_{BULKMIN}$ 的增高，维持时间将快速缩短。

高频输入电容

位于输入桥式整流管输出上的输入电容是高频纹波滤波器。也可以将它看作EMI滤波的一部分。通常情况下，该电容为高质量薄膜型电容（例如聚丙烯电容），以便具备所需的电流控制能力。额定电压至少应达到PFC输出电压设定点的107%，同时加上一定的降额。对于385 V输出，通常使用500 V的电容。该电容中将出现接近于PFC扼流圈纹波电流的大纹波电流，必须对其设定相应的额定值。

对于100 kHz的开关频率，建议采用每100 W输出功率介于0.1 μ F和0.33 μ F之间的值。取大值可降低差模EMI，从而减小差模EMI滤波元件的尺寸（EMI滤波器中的共模扼流圈使用小型X电容和较小的差模漏感）。由于输入电容无需不是安规元件，因此增

大此电容通常要比增大X电容的成本更低。然而，过于增大此电容将会导致PFC输入电流波形的过零失真，在最高输入电压及轻载情况下最严重。注意，大多数PFC规格都不要求在极轻载及最高输入AC电压下有极高功率因数和低失真。

PFC开关MOSFET及PFC升压二极管

MOSFET和升压二极管的额定电压至少应为500 V，以便耐受大小为PFC额定输出电压的107%的最大瞬态PFC输出电压，同时耐受任何寄生电感尖峰。（107%为最高PFC OVP设定点）。电感尖峰电流也是开关MOSFET及升压二极管中的尖峰电流。

这两个功率元件的选择取决于输出功率的大小以及所采取的散热设计。

一般情况下，这些功率元件设定有功率预算，可使PFC级在低输入电压下满足自身的效率目标（90 VAC下的典型值为91%-93%）。PFC的效率随着输入电压的升高而快速提高。设计表格中的“PFC、FET、二极管及输出参数”部分提供有MOSFET、输入桥及电流检测电阻的功耗值。

MOSFET RMS电流随着 K_{RR} 的增加而增加，这会增加导通损耗。大型MOSFET可在一定程度上提高效率。超大型MOSFET具有大 C_{OSS} （漏极-源极电容）值，这会影响到效率。较大型MOSFET还需要使用较大的栅极驱动晶体管。

PFC中的开关损耗主要是PFC MOSFET和升压二极管反向恢复充电(Q_{RR})相关的损耗，加上导通/关断交越损耗。

Q_{RR} 因二极管类型的不同差异很大。最好的低/中成本超快速PFC升压二极管在100-132 kHz的开关频率下具有非常高的效率，在90 VAC下效率为91-93%。在导通连续模式PFC中，MOSFET的每个导通边缘都会产生与 Q_{RR} 及PFC输出电压相关的功耗(E_{RR}):

$$E_{RR} = Q_{RR} \times V_{SETPOINT}$$

Q_{RR} 是反向恢复之前的二极管电流的函数。二极管峰值电流随着AC输入相位角的变化而变化，因此 Q_{RR} 也随之发生变化。平均 E_{RR} 将小于正弦波峰值时的值。在MOSFET中， Q_{RR} 产生的总功耗要乘以开关频率。

导通/关断交越损耗将是MOSFET开关速度的函数，进而也是栅极驱动电路的函数（请参见PLC810PG数据手册中有关栅极驱动电路的建议）。栅极驱动电阻决定开关速度，它对效率和EMI都有显著影响。因为有多种低成本方法可降低PFC中的EMI，比如在EMI扼流圈外添加一个短路铜带等，这些都是值得推荐的方法，以便通过加速PFC栅极驱动使效率达到最大。注意，栅极电容较大的MOSFET要求使用较大的栅极驱动电流以及相关的驱动元件。

升压二极管的选择非常关键。必须使用具有快速恢复特性的二极管。在功耗预算中，必须将与升压二极管相关的损耗考虑在内。在选择升压二极管时需要考虑的其它参数为最大反向电压及正向电流。500 V或600 V额定电压的二极管通常用于385 V或400 V输出PFC。每100 W输出功率1 A至3 A是90 VAC输入、385-400 V输出PFC常用的近似值。

栅极驱动电路

有关建议的栅极驱动电路的信息，请参见PLC810PG数据手册。

电压反馈元件

FBP引脚用于检测PFC输出电压（大容量电容的电压）。FBP引脚是高阻抗电压检测引脚，可使用一个简单的电阻分压器来检测大容量电容的电压。在该电阻分压器中，下电阻的值应介于10 kΩ和22 kΩ之间。注意，该电阻分压器可消耗功率，并会在待机模式下提高功耗。由于FBP引脚中存在漏电流，因此22 kΩ以上的大电阻可导致误差。

设计的电阻分压器应能够在PFC电压达到设定点时为FBP引脚提供2.2 V (V_{FBPREF})的电压。由于上电阻的电压通常大于380 V，因此必须注意，上电阻的额定值应能够耐受此电压。典型应用会使用多个串联电阻。建议使用1%电阻，以确保OVP检测的精确性。PLC810PG的OVP阈值($V_{OV(H)}$)是设定点（最大值）的107%。385 V设定点对应的OVP阈值为412 V。如果使用1%电阻，可以根据设计师的降额设计原则，使用一个420 V大容量电容。

详细的PFC电压环路补偿分析

典型PFC转换器中的一项要求是，使电压环路带宽保持在线电压频率的一半以下，以避免AC输入电流失真。失真是电压环路试图调节PFC输出上的120 Hz纹波造成的。电压环路带宽必须足够低，才能避免这种情况发生（典型值为8-12 Hz）。既需要高增益以确保在误差放大器中实现良好的动态响应，又需要低增益以避免失真，因此必须在二者之间做出权衡折衷。

图15所示为PFC小信号电压环路结构框。

V_{FBPREF} 是系统处于稳压时（额定值为2.2V）的FBP引脚电压。FBP引脚与内部误差放大器及跨导运算放大器(OTA)的同相输入内部相连。

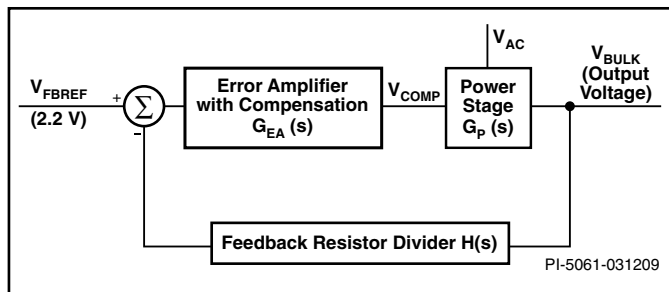


图 15. PFC 反馈小信号环路结构框图

电压环路的开环增益为：

$$T(s) = -G_P(s) \times G_{EA}(s) \times H(s)$$

其中（参见图16），

$$H(s) = \frac{R5}{R4 + R5}$$

$H(s)$ 只是 FBP_{REF} 与 V_{BULK} （稳压时的额定总线电压）之间的比值。对于385 V的设定点：

$$H(s) = 2.2 V / 385 V$$

功率级 $G_{P(s)}$ 输入是VCOMP引脚电压，输出是大容量电容的电压。已知PFC调制器特性以及LLC DC-DC级表现为恒定的功率负载，可以得出低频率下的小信号传递函数：

$$G_P(s) = 12 \times R_{SENSE} \left(\frac{P_{OUT}}{V_{IN(RMS)}} \right)^2 \times \frac{R_{LOAD}}{s(R_{LOAD} \times C_{BULK}) + 1}$$

其中， R_{SENSE} = PFC电流检测电阻值， C_{BULK} 是大容量电阻值， P_{OUT} 是负载功率额定值， R_{LOAD} 是等效负载电阻：

$$R_{LOAD} = \frac{P_{OUT}}{V_{BULK}}$$

乘数12是PLC810PG内置的比例因数。注意，大容量电容和负载电阻形成极低频率极点。DC增益与等效负载电阻成比例。补偿网络 $G_{EA}(s)$ 在交越频率下的相位滞后角必须小于45°，以使环路增益至少具有45°的相位裕量。功率级增益在最大输入电流（满载且最低AC输入电压）下达到最高值，这就是需要设计实现的条件。该最大增益点是可能发生振荡和AC电流失真的临界点。AC输入电流减小（较轻载或较高输入电压）时，增益将下降，这时的顾虑就会减轻。

注意，VCOMP引脚电压具有0.5 V偏移。VCOMP引脚线性工作范围的最小额定值为0.5 V，最大额定值2.5 V。COMP引脚的信号也是反相的 - 电压越低，输出功率就越高。不过，这种偏移和反相的存在并不会更改用于环路分析的增益。

误差放大器的输入 $G_{EA}(s)$ 是FBP引脚上的电压。输出为VCOMP引脚上的电压。内部误差放大器是带增益 G_M 的跨导运算放大器

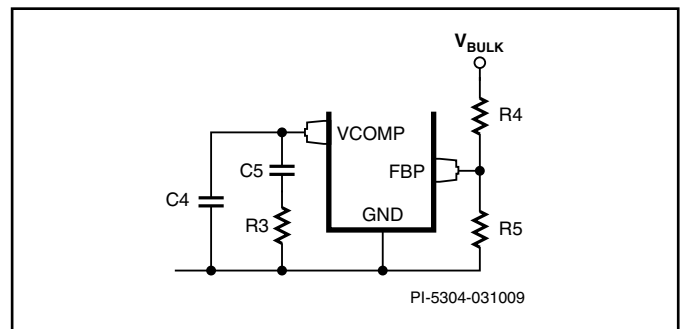


图 16. PFC 补偿元件

(OTA)，其额定值为85 $\mu\text{A/V}$ 。增益是 G_M 乘以补偿网络的阻抗。

$$G_{EA}(s) = G_M \times \frac{(1 + sR3C5)}{s \times (C5 + C4 + sR3C4C5)}$$

R3和C5是主要补偿元件。电容C5提供一个位于原点（积分点）的极点，以使输出误差接近于零。电阻R3与C5共同形成零点。该零点频率被置于或稍低于所需的增益交越频率，这样可使补偿器在增益交越频率下的相位滞后角小于 45° 。电容C4形成一个高频极点；该极点频率必须数十倍于零点频率以上（即C4必须大大小于C5），使得它引发的相位滞后不会影响增益交越频率下的环路工作。

补偿PFC的最简单方法是，为补偿元件选择一些额定起始值，然后根据这些值迭代环路的设计：

$$R3 = 2.2 \text{ k}\Omega$$

$$C5 = 10 \text{ }\mu\text{F}$$

$$C4 = 22 \text{ nF}$$

这些值在 $C_{BULK} = 220 \text{ }\mu\text{F}$ 、 $V_{ACMIN} = 90 \text{ V}$ 、 $V_{BULK} = 385 \text{ V}$ 及 $P_{OUT} = 300 \text{ W}$ 时效果理想，并且可产生9 Hz的增益交越频率。（参见图17）

对于不同的 C_{BULK} 、 V_{ACMIN} 、 V_{BULK} 及 P_{OUT} 值，调整相关的值。

R3的时间常数和C5（零频率）应保持不变：

$$\frac{1}{2 \times \pi \times R3 \times C5} = 7 \text{ Hz}$$

这是在传递函数中由R3插入的零点的频率。通过使零点频率稍低于增益交越频率，可使相位裕量保持 45° 。R3应当与 $G_{PS} \times H_S$ 成反比，其表达式如下：

$$R3 = 16 \text{ k} \times \left(\frac{1}{I_{ACMAX}} \right)^2 \times \frac{C_{BULK} \times V_{BULK}}{R_{SENSE}}$$

其中，

$$I_{ACMAX} = \frac{P_{OUT}}{V_{ACMIN}}$$

由于 R_{SENSE} 值与 I_{ACMAX} 值成反比（以使限流点始终仅高于 I_{ACMAX} 的峰值），该等式可以简化为：

$$R3 = 86 \text{ k} \times \frac{C_{BULK} \times V_{BULK}}{I_{ACMAX}}$$

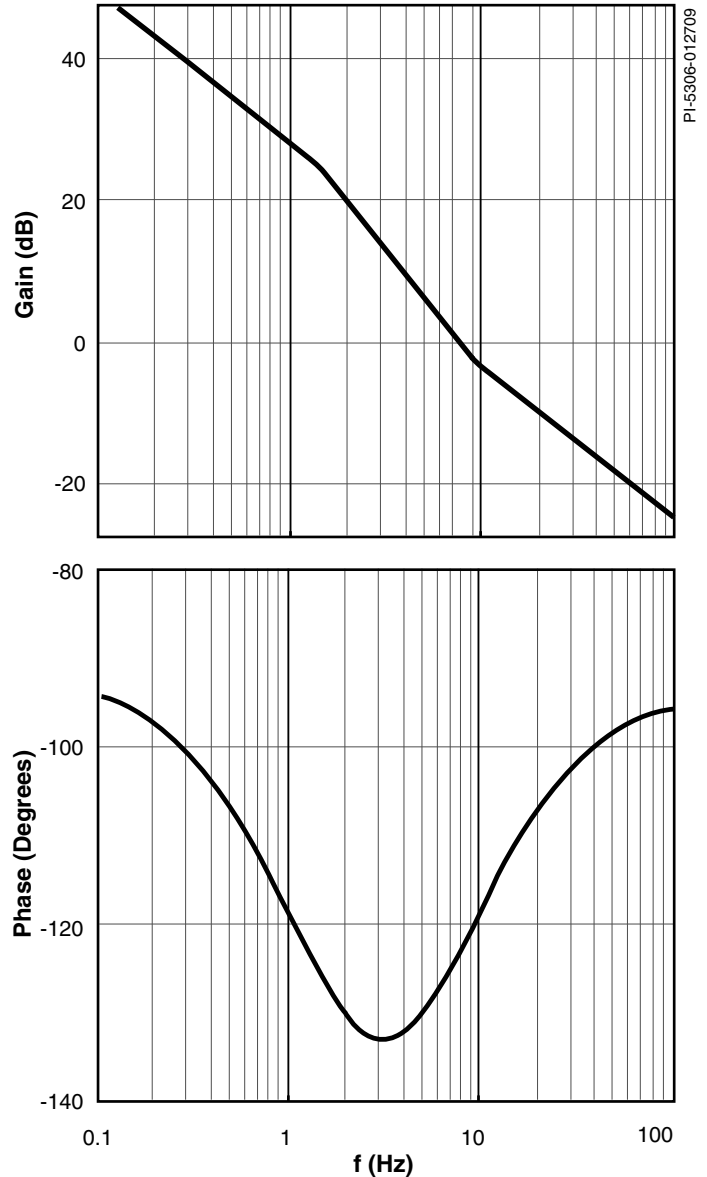


图 17. PFC电压反馈环路的增益及相位图（ $R3 = 2.2 \text{ k}\Omega$ ， $C4 = 10 \text{ }\mu\text{F}$ ， $V_{BULK} = 385 \text{ V}$ ， $C_{BULK} = 220 \text{ }\mu\text{F}$ ）

由于 C_{BULK} 常常与功率以及85~90 VAC输入和 $V_{BULK} = 385 \text{ V}$ 下的 I_{ACMAX} 成比例，因此R3的正确起始值通常会固定在2.2 k Ω 。

PFC电流检测电阻的选择

设计表格应用于计算电流检测电阻的值。请参见PLC810PG数据手册，了解有关PFC电流检测信号滤波的建议。

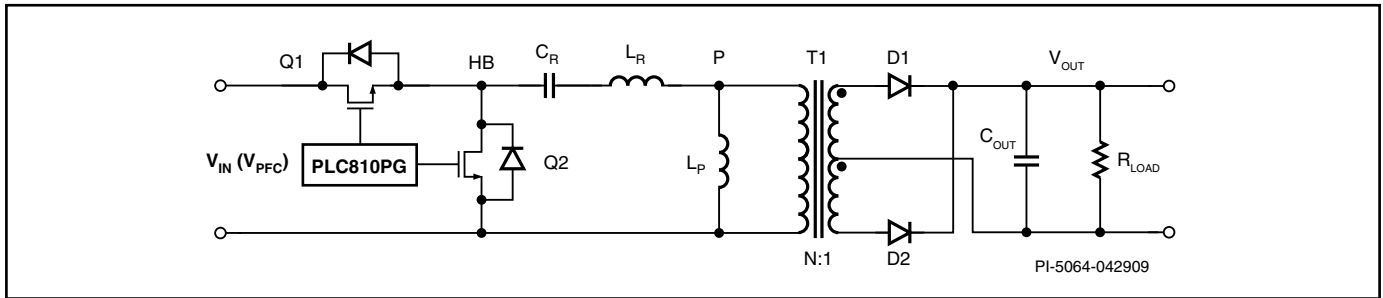


图 18. 显示主要功率元件的 LLC 电路简图

电流检测电阻上的电压决定逐周期电流限制。逐周期电流限制电压在数据手册中由 V_{OC} 来表示，其额定值为 500 mV。为了启动、过载及 AC 跌落条件下提供足够的裕量，良好的近似值是使用比表格计算值低出 10-20% 的检测电阻值。该电阻将取决于大容量电容的浪涌电流，因此应具有适当的 P_t 额定值。要限制大容量电容充电期间的最大电压（及功率），可在该电阻上放置两个串联的 1N4007 二极管，其阴极与桥式整流管相连。

LLC 的基本工作原理

LLC 转换器为谐振转换器，它利用频率来调节输出电压。LLC 非常适合要求固定电压输入及恒压输出的高频率应用，比如使用 PFC 预调节器的应用。如果所需输出电压范围限制在 1.5:1 以下，且不需要提供较长的维持时间（例如 LED 驱动器），它们还可用于恒流输出转换器。LLC 的拓扑结构不适合要求输出电压在宽范围（2:1 以上）内可调的应用，也不适合要求具备宽输入电压范围的应用。LLC 控制器基本上需要通过提高频率来降低输出电压或输出功率。其基本电路图如图 18 所示。Q1 和 Q2 交替开关，占空比为 50%，其开关频率由反馈环路决定。HB 引脚电压是峰峰值为 V_{IN} 的方波。变压器 T1 是理想的变压器。并联电感 L_P 通常是串联电感 L_R 的 2 到 4 倍。如果使用集成（内置高漏感）变压器， L_R 即为变压器漏感。测得的集成变压器初级电感为 $L_R + L_P$ 。这通过调整磁芯的间隙距离来设定。如果使用独立磁芯， L_R 则是独立电感， L_P 是低漏感变压器的初级电感。图 18 等效电路中使用的集成变压器的等效匝数比不等于实际匝数比。请参见“集成变压器匝数比的测量及计算”部分。

LLC 谐振电路元件的简化设计如图 19 所示。

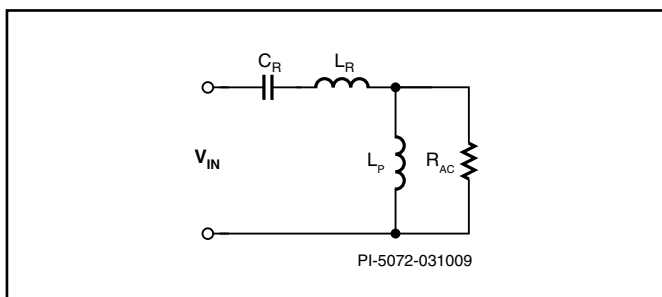


图 19. LLC 转换器的线性近似电路

该线性近似用于一次谐波分析。线性近似是在不参照时域波形的情况下理解和分析 LLC 工作特点的重要工具。它假定在电路中，只有方波电压的一次谐波（基波分量）才会产生电流（正弦波电流）。这样可以使用线性频率响应技术来执行分析。

分析模型由串联或主要谐振元件 C_R 和 L_R 、并联谐振电感 L_P 以及 R_{AC} 组成。 R_{AC} 与实际负载电阻相关，关系式如下：

$$R_{AC} = R_{LOAD} \times \frac{8}{\pi^2} \times N^2$$

其中， n 是匝数比：

$$N = \frac{N_{PRI}}{N_{SEC}}$$

N_{SEC} 是一半次级绕组的匝数， N_{PRI} 是初级绕组的匝数。

因数 $\frac{8}{\pi^2}$ 表示从正弦波得到的功率和从方波得到的功率的关系。

图 19 中施加的电压 V_{IN} 是施加到输入的方波的基波分量。

有 2 种谐振频率：并联频率和串联频率。并联谐振频率由两个电感的和及 C_R 形成：

$$f_{PAR} = \frac{1}{2 \times \pi \times \sqrt{(L_R + L_P) \times C_R}}$$

串联谐振频率等于：

$$f_{SER} = \frac{1}{2\pi \times \sqrt{L_R \times C_R}}$$

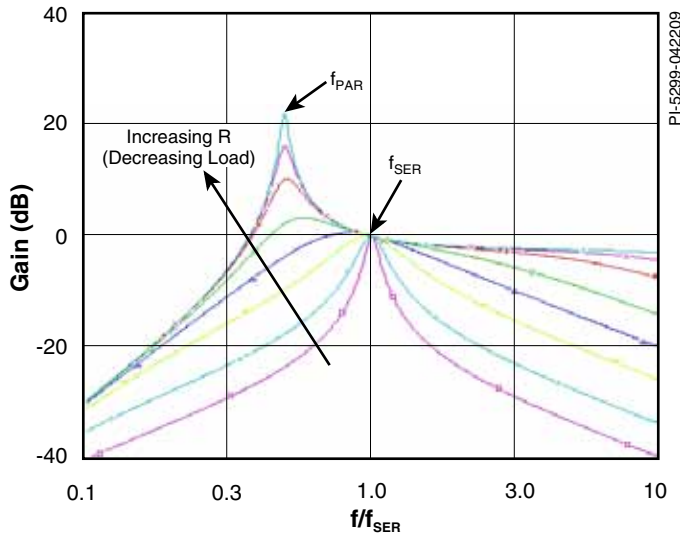


图 20. 使用线性逼近的 LLC 的传递函数, R 值变化

2 个电感的比值为 K:

$$K = \frac{L_P}{L_R}$$

由于在典型 LLC 转换器中 K 值介于 2 和 4 之间, 因此 f_{PAR} 与 f_{SER} 的比值通常为 1.73:1 至 2.24:1。

Q 是指串联谐振回路的 Q:

$$Q = \frac{2 \times \pi \times f_{SER} \times L_R}{R_{AC}}$$

K = 3 时的传递函数如图 20 所示。

这代表稳态增益 V_{OUT}/V_{IN} 。注意 2 个谐振峰值。提高 R 会降低串联谐振 Q。

在典型 LLC 设计中, 满载时 Q 值大约为 0.4 - 0.5。较轻载时, Q 值会减小。图 21 中的曲线集是图 20 中的曲线的子集, 仅显示典型 LLC 转换器的 Q 值范围。

增益代表 V_{OUT}/V_{IN} , 由于输出电压经稳压, 因此高增益代表转换器在较低输入电压下 (比如维持时间期间) 稳定输出电压的能力。

LLC 转换器必须始终在 f_{PAR} 的右侧工作, 频率越高, 输出电压就越低。如果 LLC 转换器意外在谐振峰值左侧进行工作, 增益将反转信号, 并且反馈系统的 DC 增益将变为正数。这样可将转换器“锁定”到用户指定的频率 f_{MIN} 下。

此外, 在任何给定 Q 下, 谐振峰值的左侧区域代表 ZVS (零电压开关) 工作的损耗, MOSFET 将产生高开关损耗。较重负载下, ZVS 和非 ZVS 工作的边界会稍微移向谐振峰值右侧。如果允许转换器在 ZVS 之外短暂工作 (比如在持续时间结束时), 则效率损失可能不会太大。

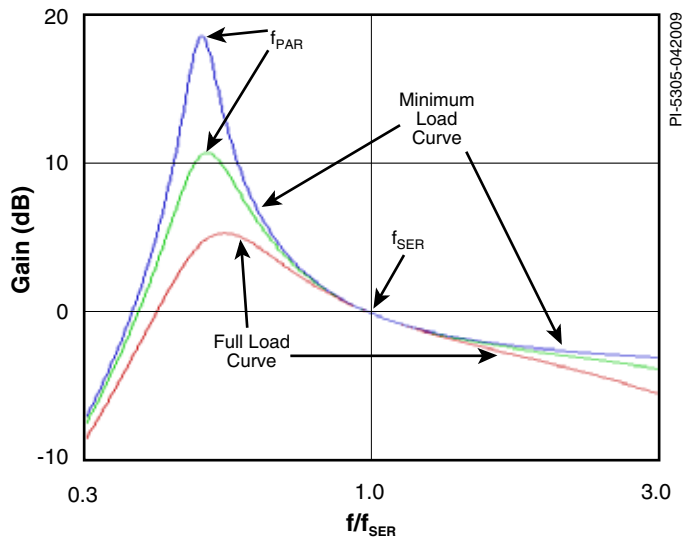


图 21. 典型 LLC 转换器 Q 值范围传递函数

注意, 在串联谐振频率下, 转换器的增益不会随负载的变化而变化。这意味着, 转换器在此频率下的输出阻抗将非常低。因此, 在额定输入电压下 (385 V 是 PFC 输出的典型值), 应选择适当的谐振值, 使所需的额定工作频率接近 f_{SER} 。

如果满载工作频率高于 f_{SER} , 输出二极管将在连续导通模式下工作 (二极管在初级开关时仍会导通)。这会增大输出二极管开关噪音、输出纹波及系统噪音, 增加反向恢复损耗 (除非使用肖特基二极管), 但也会降低次级中的 RMS 电流损耗。注意, 由于接近 f_{PAR} 的增益随 R_{LOAD} 进行动态变化, 因此应避免在此区域进行工作。

看懂设计表格中的频率随输入电压变化的曲线图

图 21 所示为输出电压与输入电压增益之间的比值。在电源中, 输出电压保持恒定。如果我们反转图表, 就可看出输入电压随频率的变化情况, 因为输出电压是保持恒定的。结果如图 22 所示。

在取自设计表格的以下例图中 (图 22), PFC 额定输出电压 (及 LLC 输入电压) 为 385 V, 额定频率为 100 kHz, 并联电感与串联电感的比值 K 设定为 2:1。设计最低 LLC 输入电压为 250 V (设计表格参数 $V_{BULKMIN}$)。 (250 V 是允许的最低 LLC 输入电压, 它可产生最长维持时间; 它代表 $V_{SD(L)}$, 该值额定为 PFC 设定点的 64%。在维持时间结束时, 只要大容量电容放电低于此电压, PLC810PG 即会抑制 LLC 栅极驱动输出)。

图 22 绘制了转换器在最高负载及最低负载下工作所需的频率以及输入 (大容量电容) 电压的情况。PLC810PG 的频率范围必须根据此曲线图进行限制。频率范围通过连接到 FBL 引脚的若干外部电阻和 FMAX 引脚上的一个电阻进行设定。详细信息请参考 PLC810PG 数据手册。

注意，在本例中，串联谐振频率为92 kHz。曲线图（图21）中所显示的低输出阻抗区域以90 kHz（对应350 V）为中心。

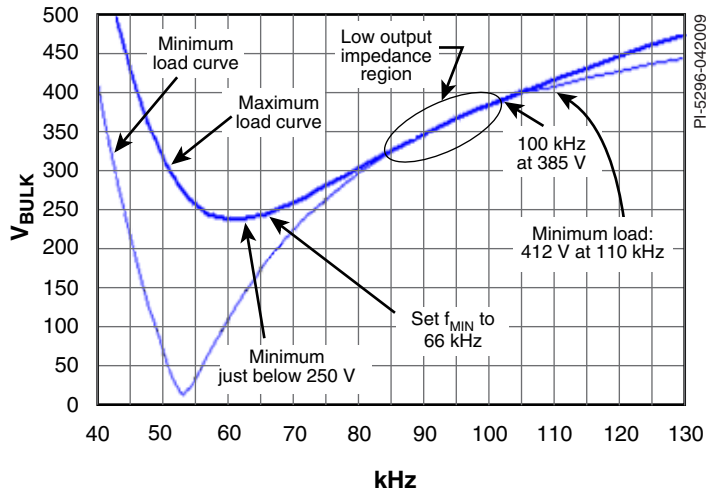


图 22. 在满载和最低负载条件下，LLC 转换器的频率随输入电压变化的曲线图（图21的实际反转）

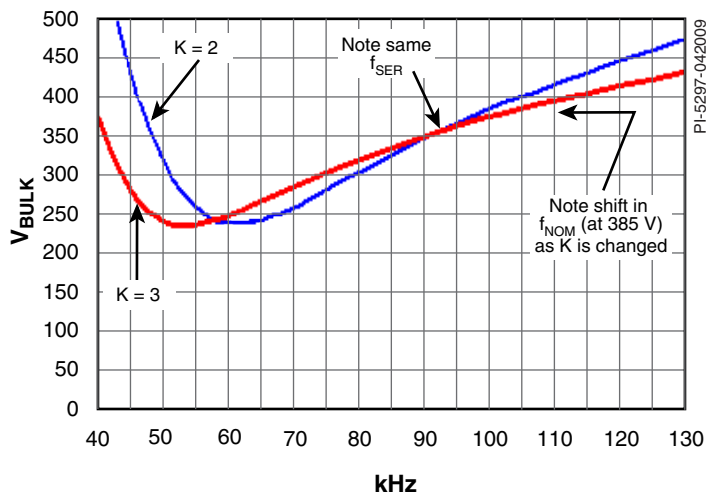


图 23. 更改电感比值K对工作频率的影响图

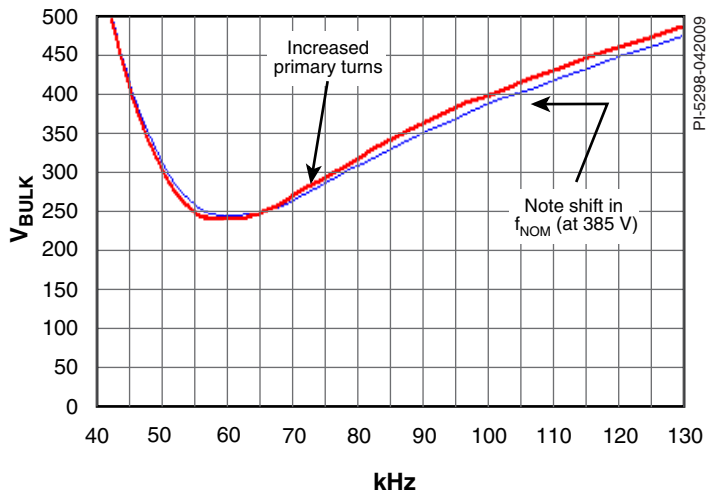


图 24. 初级匝数对工作频率的影响图

这样的优势是，在较大的负载阶跃期间（可能会导致大容量电容瞬间从385 V下降到320 V），输出阻抗将保持低值，并且LLC的输出不会表现出大幅下降。这种设计的缺点是，LLC的输出二极管在工作频率高于串联谐振频率时将进入连续导通模式。虽然这样会减小次级中的RMS电流，从而提高效率，但同时也会增大输出二极管的反向恢复损耗（除非使用肖特基二极管），并增大二极管的开关噪音。

在最低负载和最高输入电压下，LLC的工作频率达到最大值。PFC级的最大输出电压是额定PFC设定点的107%（最大 $V_{OV(H)}$ ），它发生于负载突降期间。对于385 V设计，其最大输出电压将为412 V。在图22中，412 V下的最低负载曲线表示需要110 kHz的工作频率。实际上，重负载下的一次谐波分析是准确的，但随着负载的降低，准确性逐渐下降。所需的实际频率高于预测值；模型的漂移量取决于变压器中的寄生元件。通常需要最小负载频率是额定频率的1.5倍以上；如果最大频率不足以在最低负载下维持稳压，那么可将增加初级匝数作为替代解决方案。然而，增加初级匝数将会提高 $V_{BULKMIN}$ 点，因此需要进一步调节谐振元件。注意，FMAX引脚电阻也会影响死区时间。另外一种选择是，允许在轻载下进入迟滞突发模式 - 详细信息请参考PLC810PG数据手册。

如果设计师将最低输入电压设定为高于PFC设定点的64%，LLC的效率将会更高，但对于给定尺寸的大容量电容提供更短的维持时间。PLC810PG将继续开关，直至 V_{BULK} 降至设定点的64%。 f_{MIN} 仍须设定为高于满载曲线底部的频率。如果提高后的 $V_{BULKMIN}$ 高于65%，那么当大容量电容的电压降到LLC最低输入电压以下时，输出也将开始下降，不过，PLC810PG将继续驱动LLC MOSFET，直到总线电压降至设定点的65%。

注意，图22中直线的斜率代表功率部分的系统环路增益分配（输出电压变化除以频率变化）- 此环路增益不会与“LLC基本分析”部分中的“稳态增益” V_{OUT}/V_{IN} 混淆。

在设定谐振元件值和匝数比时，设计师可使用以下四个变量： C 、 L_{SER} 、 L_{PAR} 及匝数比 N 。设计师有4个设计目标：所需的 f_{NOM} 、 f_{SER} 、 $V_{BULKMIN}$ 以及 $V_{BULKMIN}(f_{MIN})$ 下的频率。

因为有4个变量和4个目标，所以可通过一个解集来满足所有4个设计目标。不过，在设定某些变量时会有一些约束，在实现其它一些目标时可能具有更大的灵活性。例如，在设计集成变压器时，设计师可能会在骨架给定以及初级匝数给定的情况下受到固定 L_R （漏感）的约束。另一方面， f_{SER} 和 f_{MIN} 的准确值可能是灵活变化的。这样可能会导出一个可接受的解集，同时仍能满足电路约束。

如果漏感高于最佳解的计算结果， $V_{BULKMIN}$ 将低于所需的值。其结果是，初级电流将高于通过最佳解计算得出的电流值。然而，这些结果仍是可以接受的。如果 L_{SER} 仍需降低，则需要更改骨架，或者同时减小初级和次级匝数。

谐振元件值和变压器匝数比的影响

设计师设定串联谐振频率时， C 和 L_S 的乘积将有效地固定。有两个自由度值 - 匝数比和 K (L_p 与 L_r 的比值)。调节匝数比可获得所需的 f_{NOM} 。然后调节 K 值可获得所需的 $V_{BULKMIN}$ 。因此，在串联谐振频率给定的情况下，有多个组合可实现给定的 $V_{BULKMIN}$ ，且有多个不同的 K 值。设计表格不会直接将 K 用作输入；用户可以使用设计表格的目标定位功能来调节3个值。设计表格可以通过调节其中一个谐振值，帮助设计师确定可获得所需 $V_{BULKMIN}$ 的3个参数的组合。由于这些值互相依赖，因此必须采用简单的迭代过程。

更改K值（电感比）

图23显示了在找到可以维持92 kHz串联谐振频率和240 V的 $V_{BULKMIN}$ 的新解时，新的 K 值(3)对工作频率的影响。在 $K = 3$ 时为了获得同样的 $V_{BULKMIN}$ ，必须降低 L_r 和提高 C （以维持 f_{SER} ）。注意，额定开关频率 f_{NOM} 向高处偏移， f_{MIN} 向低处偏移。 K 值越大，在给定输入电压变化范围内维持稳压所需频率的变化就越大。然而，高 K 值会产生较高的并联电感，从而减小励磁电流，可略微提高效率。在本例中，如果需要使用相同的 f_{NOM} ，则可以重新调整谐振值以降低 f_{NOM} ，或者可以略微增加初级匝数（参见下一节）。

从 $V_{BULKMIN}$ 到 V_{NOM} 的曲线斜率是整个系统反馈环路增益中的一个因数（频率变化所对应的输出电压变化）。增大 K 值可降低环路增益。环路增益不应与“LLC基本分析”部分中的“稳态增益”相混淆。

更改初级匝数

无法通过更改次级匝数来更改匝数比，这是因为次级中的匝数较少。例如，从2匝减至1匝会使磁通密度增加一倍，相应地将大大增加磁芯损耗。要想更改匝数比，通常只能调整初级匝数。更改初级匝数同时保持串联电感恒定（仅适用于非集成磁芯），将会更改 f_{SER} 附近的增益。一旦匝数比正确无误，更改初级匝数的空间就变得非常小。如果设计师决定让 f_{NOM} 接近 f_{SER} ，那么应调整初级匝数以便得到所需的 f_{NOM} 。图24显示了由初级匝数更改所带来的满载下 f_{NOM} 漂移。如果在最低负载下难以维持稳压或者不希望出现迟滞突发模式，则应考虑增加初级匝数。

注意，在集成磁芯中，串联（漏感）电感与初级匝数的平方成比例。因此，必须调整谐振频率，以便维持相同的串联谐振频率。同时，还必须调整 K 值，以便维持相同的 V_{IN} 工作范围。

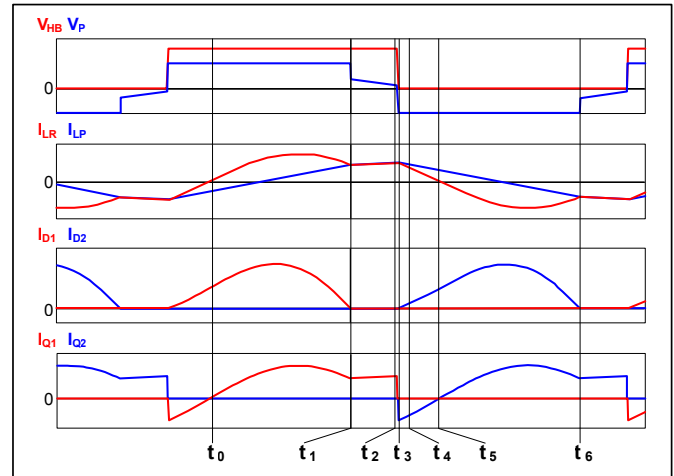


图 25. LLC 转换器的节点（电路设计基于图 18）时序图

LLC 转换器的时域工作

如图 18 中所示，LLC 转换器基本电路由两个开关 Q1 和 Q2 组成。半桥 (HB) 的中心点连接到谐振回路 (C_r 、 L_r 及 L_p) 和功率变压器 T1。功率开关由 50% 的占空比脉冲驱动。转换器的输出通过改变开关频率来进行调整。

在 LLC 的次级侧，二极管 D1 和 D2 整流变压器的 AC 输出，而输出电容 C_{OUT} 对整流后的电流进行滤波。

根据功率开关 Q1 和 Q2 的状态，可以将 LLC 转换器的工作分为每周期六个时间间隔。图 25 显示了 LLC 转换器在每个时间间隔内的电流与电压的关系，表 2 描述了每个时间间隔内的电路情况。图 25 显示了频率低于 f_{SER} 的工作情况。在高于 f_{SER} 时，时间间隔 $t_1 \rightarrow t_2$ 消失。

零电压开关及死区时间

设计时，必须考虑在零电压开关 (ZVS) 区域中工作的半桥中点的寄生电容，以确保半桥 MOSFET 的零电压开关。在切换过程中必须对该电容进行充放电。要想使能 ZVS，应在 MOSFET 的导通状态之间插入死区时间。在该死区时间期间，两个 MOSFET 都不再导通。要确保实现 ZVS，半桥中点的电压必须在死区时间 (t_D) 内从 V_{IN} 降至 0（或从 0 升至 V_{IN} ）。

时间间隔	LLC转换器等效电路	描述
$t_0 \rightarrow t_1$	<p>PI-5066-042909</p>	<p>在此期间，开关Q1处于导通状态，而开关Q2处于关断状态。初级电流I_p以串联谐振频率发生谐振：</p> $f_R = \frac{1}{2\pi\sqrt{L_R \times C_R}}$ <p>初级电流I_p大于流经并联谐振电感(L_p)的电流。电流差($I_p - I_{LP}$)乘以匝比N是流经二极管D1的负载电流。此时间间隔结束于t_1，此时负载电流为零($I_p = I_{LP}$)。</p>
$t_1 \rightarrow t_2$	<p>PI-5067-031009</p>	<p>在此期间，开关Q1处于导通状态，而开关Q2处于关断状态。在瞬间t_1，$I_p = I_{LP}$，次级电流为零。功率变压器(T1)的电压发生骤降（低于输出电压）。次级侧的两个输出二极管（D1和D2）都不再导通。负载从输出电容C_{OUT}提供。初级电流I_p与并联电流I_{LP}相等，并以并联谐振频率发生谐振：</p> $f_{RP} = \frac{1}{2\pi\sqrt{(L_R + L_P) \times C_R}}$ <p>Q1关断时（没有电流经过通道）出现瞬间t_2。</p>
$t_2 \rightarrow t_3$	<p>PI-5068-031009</p>	<p>Q1关断时（没有电流经过通道）开始此时间间隔。初级电流$I_p = I_{LP}$由谐振电感L_R提供支持。此电流对开关Q1及Q2的寄生电容进行放电，并使桥电压降至0 V。桥电压达到0 V时出现瞬间t_3，电流可开始流经开关Q2的二极管。</p>
$t_3 \rightarrow t_4$	<p>PI-5069-042909</p>	<p>在此间隔期间，开关Q1及Q2都处于关断状态。在瞬间t_3，桥电压达到0 V，电流开始流经开关Q2的二极管。并联电感L_p的电压发生反向，次级二极管D2开始导通。初级电流I_p与串联谐振频率发生谐振：</p> $f_R = \frac{1}{2\pi\sqrt{L_R \times C_R}}$ <p>初级电流I_p小于流经并联谐振电感L_p的电流。在此时间间隔期间，开关Q2上的电压为0 V，可通过零电压开关(ZVS)进行导通，从而可消除开关损耗。Q2在瞬间t_4导通。</p>
$t_4 \rightarrow t_5$	<p>PI-5070-043009</p>	<p>在瞬间t_4，Q2通过零电压开关导通。初级电流I_p仍以相反的方向流经开关Q2。初级电流I_p以串联谐振频率发生谐振：</p> $f_R = \frac{1}{2\pi\sqrt{L_R \times C_R}}$ <p>在此时间间隔期间，初级电流I_p小于流经并联谐振电感(L_p)的电流I_{LP}。电流差$I_{LOAD} = I_{LP} - I_p$乘以匝数比N是流经整流二极管D2的负载电流。在瞬间t_5，初级电流I_p将改变极性。</p>
$t_5 \rightarrow t_6$	<p>PI-5071-042909</p>	<p>此时间间隔类似于时间间隔 $[t_0, t_1]$。在此期间，开关Q2处于导通状态，而开关Q1则处于关断状态。电流以相反的方向流入时间间隔 $[t_0, t_1]$。整流二极管D2导通，负载电流为：$I_{LOAD} = I_{LP} - I_p$。在瞬间t_6，初级电流I_p与并联电感电流I_{LP}相等。在此瞬间，负载电流(I_{LOAD})为零。输出负载开始由输出电容提供。然后，重新重复六个时间间隔的新周期。</p>

表 2. LLC转换器的工作情况及基本时间间隔

PLC810PG的主要特性之一是，死区时间值可由FMAX电阻从外部进行设定。这样就进一步增强了LLC转换器设计的灵活性。由于能够严格控制死区时间，因此可确保ZVS在批量生产过程中维持不变。

PLC810PG数据手册将死区时间设定描述为FMAX引脚上拉电阻的函数。

功率损耗及LLC转换器的效率

正常工作条件下的效率水平决定着转换器的性能状况。正常工作条件与谐振频率 f_r 相对应。

LLC转换器的一大优势是其具有ZVS功能，可有效消除开关损耗。因此，LLC转换器中的两大功率损耗便是开关MOSFET Q1和Q2时产生的导通损耗，以及次级侧二极管导通损耗。这些损耗分别与初级侧RMS电流和次级侧RMS电流成比例。

设计表格的初级和次级部分提供有关于转换器中所有电流的RMS值的描述。另一些由等效串联电阻(ESR)造成的元件损耗可通过这些RMS电流值轻易地计算出来。

LLC谐振回路的设计

设计LLC的第一步是选取适当的 L_{SER} 、 L_{PAR} 、 C_{RES} 和匝数比(n)值，方法是检验可对这四个值进行控制的变压器曲线。这个过程如下所述。

将PFC设定点（典型值为385 V）和满载条件下的额定开关频率设定为目标开关频率（66、100或132 kHz）。

设定PFC额定输出电压 V_{BULK} 。宽范围输入PSU的典型电压值为385 V。

考虑到容差因素，将最低输入电压 $V_{BULKMIN}$ 设定为比最低实际目标总线电压约低5 V。对于需要延长维持时间的设计，其最低目标总线电压应为设定点的65%（385 V设计对应的是250 V）。此时，应将 $V_{BULKMIN}$ 设定为245 V。通过牺牲维持时间来提高LLC效率的设计将具有更高的 $V_{BULKMIN}$ 。注意，在大容量电容的电压降到设定点的65%以下时，PLC810PG将关断LLC转换器，因此不能使用更低的 $V_{BULKMIN}$ 。

可在第1步中将LLC串联谐振频率设定为比目标工作频率低10%，这样可以降低转换器在额定输入电压下的输出阻抗，从而减小伴随突发负载阶跃的输出电压变化（如果发生这种情况将会导致大容量电容出现电压跌落）。将串联谐振频率设定为仅低于目标频率，可使低输出阻抗区域移动到等于/小于PFC输出设定点的范围内。同时也会略微减小次级RMS电流。不过，二极管电流会处于连续导通状态，这会增大开关噪音、

增加二极管反向恢复损耗（如果未使用肖特基二极管）以及增大输出噪音和纹波。

如果串联谐振频率设定为等于或略高于目标工作频率，二极管将会处于非连续导通状态，二极管开关损耗也将随之减少、不存在任何反向恢复损耗并使输出纹波和噪音得以降低，但效率会略微下降。

设计表格将提供 C 、 L_{PAR} 及 L_{SER} 的初始值。然后通过迭代过程对这些值进行优化。设计表格将计算 $V_{BULKMIN}$ 、 $V_{BULKMIN}$ 下的频率以及 V_{BULK} （PFC额定输出设定点）下的频率。可使用目标定位来更改这些值，以满足其中一个输出变量的目标值。注意，对于集成磁芯，初级开路电感(L_{OPEN})等于串联及并联电感之和。

检验在最低负载及 $V_{BULKMAX}$ 下的工作频率，它应该是 V_{BULK} 的107%。设计表格所生成的曲线在轻载条件下不够精确，因此轻载下的实际频率将会高于设计表格的预测值。

对于空载工作，设计师有2个选择 – 允许迟滞突发模式工作，或者增加初级匝数并重复进行设计表格计算。在原型样机中，需要检验最低负载调节。

LLC反馈电路设计

反馈环路系统会采样输出电压、放大误差并相应调节FBL引脚电流。请参见图26。如果使用LM431参考IC，则会调整输出，使LM431反馈引脚的电压达到2.5 V。

注意，输出中如有任何LC后置滤波器（小L和小C），R62和R63则必须在后置滤波器之前进行连接。如果在后置滤波器之后连接R62和R63，则会在反馈环路中产生额外的相位漂移，从而造成振荡。输出电压检测（R64和R66）可以维持与输出的连接（在后置滤波器之后），使反馈环路的DC增益能够补偿任何降压。在后置滤波器之后连接R64和R66不会造成振荡，因为这是低频率反馈路径，其频率低于后置滤波器的衰减频率。在本例中，可以对这些电阻的值及其电流进行加权运算，以实现两个输出所需的相对稳压精确度。电流之和等于R68中的电流。LM431可以放大输出上的误差电压，其输出电压将出现在光耦器阴极的底部。光耦器的光敏二极管是对电流敏感的器件。与R62和R63+C45相比，它具有低动态阻抗，因此可将其压降视为恒定。光敏二极管中的电流等于24 V线路上的电压减去光耦器阳极电压，然后再除以由R62、R63及C45组成的网络的阻抗。电阻R65仅设定反馈环路闭合时LM431中的最小电流；由于光耦器电压维持在1 V相对不变，因此光耦器闭合时LM431中的电流为：

$$I = \frac{1V}{R65}$$

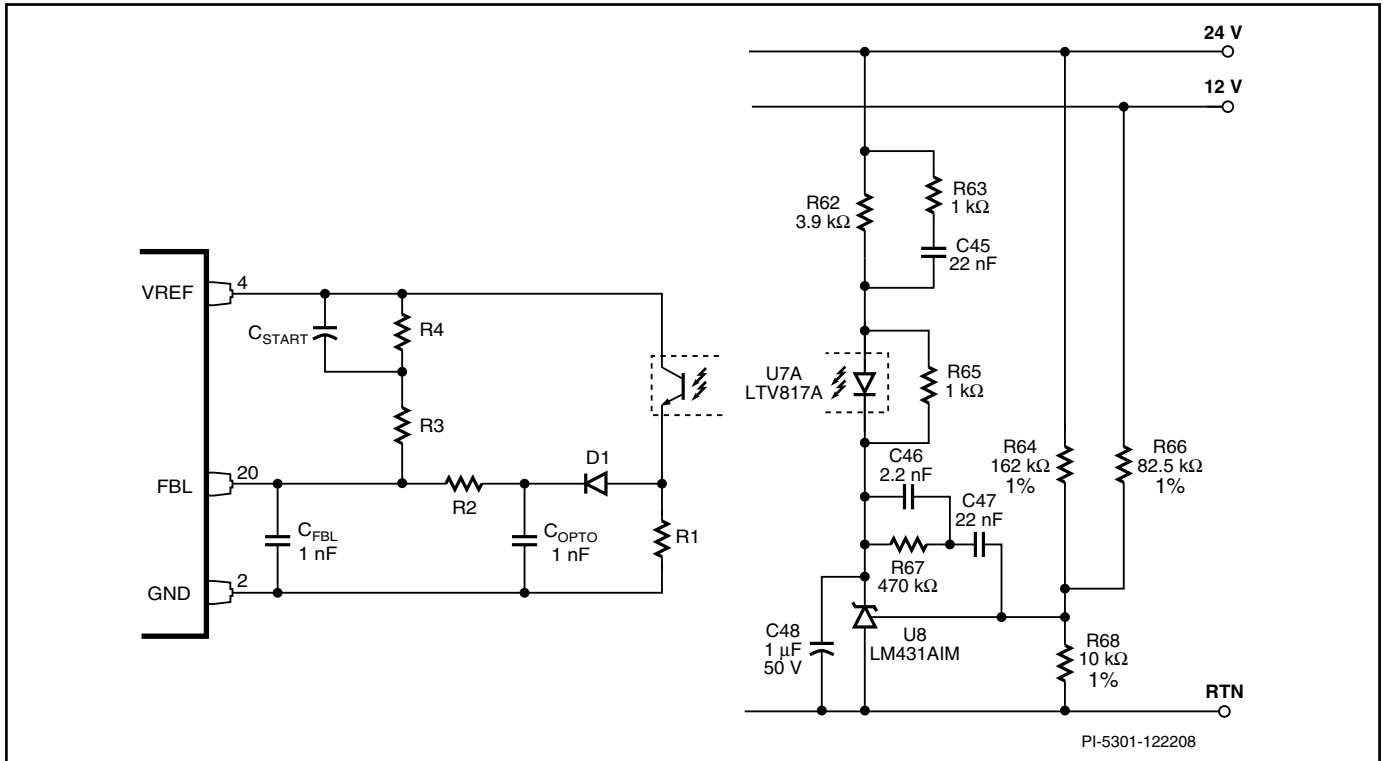


图 26. LLC次级侧反馈电路

对于需要1 mA阴极偏置电流的典型LM431来说，R65为1 kΩ。

从LLC输出电压到LM431阴极(V_{LM431})的传递函数为:

$$V_{LM431} = \frac{Z_{FEEDBACK}}{R68}$$

其中， $Z_{FEEDBACK}$ 是C46、C47及R67的阻抗:

$$Z_{FEEDBACK} = \frac{1}{s \times C47} + \frac{R67 \frac{1}{s \times C46}}{R67 + \frac{1}{s \times C46}}$$

光耦器光敏二极管中的电流为:

$$I_{OPTODIODE} = (V_{24V_0} - V_{LM431}) \times \left[\frac{R62 + \left(R63 + \frac{1}{s \times C45} \right)}{R62 \left(R63 + \frac{1}{s \times C45} \right)} \right]$$

这时，可以用到一些经验。

$V_{OUT} \rightarrow I_{OPTODIODE}$ 的传递函数在原点有个极点(积分)。这一主要低频率积分器增益由以下公式计算:

$$\frac{1}{R62 \times R68 \times C47}$$

R63和C45插入一个零极点对来执行相位提升功能，将其相位峰值设定在交越频率，对于LLC来说，该频率可介于1 kHz至3 kHz的范围内。这样做是为了提高相位裕量。因此，R63需要是R62的1/10到1/4，C45和R62及R63的时间常数(其乘积的方根):

$$\frac{1}{2 \times \pi \sqrt{R62 \times R63 \times C45}}$$

需要接近所需的增益交越频率。

电阻R67及C46形成另一个零极点对，用来减小极低频率下的增益，同时提供相位提升以防止低频率(10-100 Hz)不稳定性(其中，相位接近或交越180°相移)。这种低频率不稳定性也称为低频率“寄生振荡”，它在负载突然降低时会表现出非常大的低频输出纹波。如果不使用相位提升网络，则需要降低低频率(积分器增益)和减小100/120 Hz大容量电容的纹波抑制。在图26中，相位提升的峰值在51 Hz时出现:

$$\frac{1}{2 \times \pi \times R67 \sqrt{C46 \times C47}} = 51 \text{ Hz}$$

这种低频率相位提升网络的存在，允许在51 Hz以上使用更大的增益(由C46设定)，同时仍可在低频率下保持较高的相位裕量。如果不使用相位提升网络，LM431反馈网络将会是一个等于22 nF的电容(无RC)，100/120 Hz纹波抑制性能将很差。

在初级侧，电流 $I_{OPTODIODE}$ 乘以光耦器的CTR（如图26所示，CTR = 100%，不需要更高的增益光耦器）。光耦器晶体管电流乘以电阻网络比 $R1/R2$ 。从光电二极管电流到FBL引脚电流的增益为：

$$CTR \times \frac{R1}{R2}$$

注意，R1的作用是充当光耦器上的负载。对于大多数光耦器来说，建议满载时的电流为0.5到3 mA。R2、R3、R4和 C_{START} 设定最低、最高及启动频率。详细信息请参考PLC810PG数据手册。COPTO是一种噪音滤波器，可以通过耦合干扰光耦器长走线产生的噪音。该电容插入的极点为：

$$\frac{1}{2 \times \pi \times R1 \times C_{OPTO}}$$

同样，FBL引脚的旁路电容 C_{FBL} 与并联在一起的R2和R3形成一个极点，FBL引脚额定输入电阻为3.3 kΩ：

$$\frac{1}{2 \times \pi \times \text{par}(R2, R3, R_{FBL}) \times C_{FBL}}$$

因此， C_{OPTO} 和 C_{FBL} 不可选用大于1 nF的电容。这样做将会过度增加环路增益中的相位漂移，使LLC容易产生振荡。

FBL引脚电流与频率的传递函数是数据手册中曲线斜率的倒数（FBL引脚电流与开关频率的比例关系），它的值为2 kHz / μA。

LLC功率部分在接近稳压点的DC增益，可通过其曲线斜率计算得出， $V_{OUT}/\text{频率}$ 实际上是图21中接近额定输入电压的曲线的斜率。如果参考图22中的曲线，则需要根据 V_{OUT} 而不是 V_{BULK} 重新计算斜率。LLC频率到输出电压传递函数的频率特征曲线可以在许多技术论文中找到。

LLC变压器设计

集成LLC变压器基本上是添加了额外漏感（用作串联谐振电感）的一个半桥变压器。此外，磁芯设计有气隙，用于设定励磁电感。为了增加漏感，初级绕组和次级绕组之间留有空隙（见图27）。

由于漏感较高，因此需要使用利兹线来降低强漏磁通引起的趋肤效应和临近效应所造成的铜损。

所有的LLC变换器也可以使用一个单独的磁结构做谐振电感。在这种情况下，主变压器看似一个标准的半桥变压器，漏感低且具有一个开气隙的磁芯，可获得所需的励磁电感。通常情况下，由于磁通摆幅大，需要使用利兹线来降低损耗。

注意，PIXIs设计表格中有一个LLC变压器计算器。

变压器设计需要权衡以下几个要求：

- 切勿让（铁氧体）磁芯达到饱和，即使在频率最低时也是如此。磁芯磁通变化计算公式为：

$$\Delta B = \frac{V \times t}{N_{SEC} \times A_E}$$

其中，V是输出电压与二极管压降之和，

N_{SEC} 是半次级匝数，

A_E 是磁芯中心柱面积，

T是开关频率的半个间隔周期。

- 在高温条件下，铁氧体通常在0.34 T时开始饱和。
- 绕线面积足够大，使漆包线（如果是集成变压器则为利兹线）的厚度足够，以便产生可接受的RMS电流损耗。分配足够的次级绕组面积，使次级侧的铜损处于可接受的范围内。
- 如果是集成变压器，必须要做到要求的漏感值。漏感与初级匝数的平方成比例。

如果使用集成变压器，可通过增加初级绕组与次级绕组之间的间距来增加漏感。但是，通过这个方法增加的量局限于15%左右。增加绕组间距将会减少铜线的可用空隙，从而必须使用细线并会增加损耗。由于漏感与初级匝数的平方成比例，因此增加初级及次级匝数（保持所需的匝数比），将会对漏感产生极大的影响。

在有些情况下，特别是对于多路输出变压器来说，由于每伏的匝数较低，因此设计师在设计次级匝数时的选择十分有限。

采用设计表格中的传递曲线，得出的匝数比通常是固定的。

磁芯损耗

对于给定磁芯材料，磁芯损耗是 B_{AC} （峰峰值AC磁通密度）和频率的函数。对于磁芯损耗函数来说， B_{AC} 对其产生的影响比频率要大，并且匝数固定不变，此时 B_{AC} 与频率成反比，要降低磁芯损耗，只需要提高频率和保持匝数不变即可。另一个情况是，如果提高频率并按相同的百分比减少匝数，磁芯损耗将增加。因此，如果想通过提高开关频率来达到减少匝数的目的，那么匝数减少的比例将比较小。另请注意，随着频率的提高，临近效应和趋肤效应将会变得更为严重。

次级侧半圈式绕组的对称性在将次级电流分配到两个输出半侧的过程中起着关键作用。次级绕组半侧间的紧密耦合也将有助于限制二极管峰值电压应力和振荡。如果有两个或以上的输出，不同输出之间的紧耦合将会改善交叉稳压。



图 27. 初级绕组和次级绕组分开式集成LLC变压器的实物图片

通常情况下，LLC转换器的交叉稳压性能比需要输出扼流圈的正向转换器更高。

对于100 kHz设计，为了控制磁芯损耗，典型目标 B_{AC} 值小于0.20特斯拉峰值。

通过热测试可对设计进行优化。如果磁芯温度高于绕组温度，应降低 B_{AC} - 可考虑采用截面更大的磁芯。如果绕组过热，可使用更细的利兹线（如果是集成变压器），或并联更多的利兹线。将测得的引脚至引脚电阻与设计表格中计算出的电阻值进行比较，以检查终端电阻。

其他LLC元件

谐振电容

该电容应为高质量的薄膜电容。LLC谐振电容的额定电流值应该大于 f_{MIN} 下的最大 I_{RMS} 电流。设计表格中通常显示 f_{MIN} 下的初级 I_{RMS} 值。最大电压值的计算公式如下：

$$V_{PEAK} = V_{BULKMAX} + \frac{I_{OCP_LLC}}{2\pi \times f_{SER} \times C}$$

其中

$$I_{OCP_LLC} = \frac{0.5 V}{R_{LLC_SENSE}}$$

R_{LLC_SENSE} is the LLC current sense resistor.

LLC MOSFET

对于385 V或400 V PFC设计，可以使用500 V MOSFET。设计表格中已给出初级电流的图表。每个MOSFET的RMS电流将减小29%。对于合适的散热设计，每个MOSFET中的功耗计算公式如下：

$$P = I_{RMS}^2 \times R_{DS(ON)}$$

大型MOSFET可提高效率，但如果 C_{OSS} 较高，将会导致压摆率降低，从而需要更长的死区时间。

输出整流管

整流管上的反向电压应力可由以下公式计算得出：

$$V_{RRM} = 2 \times V_{OUT} + V_{SPIKE}$$

电压尖峰 V_{SPIKE} 范围为 V_{OUT} 的5% - 20%。该值应通过实际测量来确定。变压器次级半绕组间的耦合程度决定尖峰大小。耦合越紧，尖峰越小。考虑适当减小尖峰电压，看能否使用电压较低的整流管或肖特基二极管，以便提高效率。

测试

仅PFC测试

在给PLC810PG电源上电时，有时需要只对PFC供电。如果LLC未加载，LLC将以高频率工作（并强制PFC也以高频率工作），效率将相应降低。解决方法是，在VREF和FBL引脚之间放置一个电位计，用来强制以额定频率工作。

在VREF与ISL之间连接一个5 kΩ的电阻可能会关断LLC输出。检测ISP、FBP、VCOMP和VCC引脚上的电压对检修故障十分有用。ISP引脚将反映扼流圈电流的倒像；该引脚将流限设定在大约500 mV。FBP引脚电压是是总线电压按比例的缩小值。进行调节时，该电压可接近2.2 V。VCOMP引脚代表RMS输入AC电流。在输入电流最大时，VCOMP引脚电压应接近0.5 V；在最小负载时，接近2.5 V。120 Hz纹波应当很小。VCC引脚电压应高于启动阈值且低于绝对最大值。

在满载时，检查最小AC电压下的PFC MOSFET电流，它不应达到流限值。检查AC电流波形，它应该有整齐的波形和良好的峰值因数。如果电流波形失真，第一步应减小PFC增益，尤其是减小VCOMP引脚的电阻值。将AC电压降至额定最小输入值以下。PFC开始进行电流限制时的电压应低于最低输入电压。

仅LLC测试

要启动LLC，只需断开AC电源与PFC输入的连接，然后将高压DC电源连接到大容量电容。LLC将正常运行。检测ISL和FBL引脚上的电压。ISL应为初级电流的模拟；FBL引脚上的电压在正常工作条件下应约为1 V。如果输出电压不稳定，请检查工作频率，检测FBL引脚以及反馈电路。

LLC启动和负载瞬态

ISP信号完整性

ISP信号是一种较弱的高带宽信号。它的完整性非常重要。信号失真可导致PFC功能异常（如流限误差）。将带有短管脚的探针连接到GND引脚和ISP引脚，检测信号完整性。将RC低通滤波器放置在PFC检测电阻两端，其值与ISP引脚RC滤波器相同。使用带有短管脚的探针检测该电容上的电压，并将其与ISP引脚上的信号进行比较。如有明显失真，请检查以下事项：

- GND引脚到初级回路之间仅有一个连接
- GND引脚通过一条专用PCB走线与检测电阻相连，该走线以尽可能短的距离直接连接到检测电阻
- GNDL引脚与初级回路之间无任何直接连接；必须通过铁氧体磁珠直接连接到LLC低压端MOSFET源极
- ISP引脚RC低通滤波器元件靠近ISP引脚，用短走线连接
- 该电阻与PFC检测电阻之间的走线同GND引脚和检测电阻之间的走线并行铺设

在输出电流增加时检测LLC初级电流。与电流相关的电压应远低于流限阈值。此阈值为ISL引脚上+500 mV的额定峰值持续8个连续周期（或+1.4 V，持续75 ns）。如果值比较接近，则需增大软启动电容值。在负载阶跃期间检测LLC初级电流。如果峰值电流过于接近ISL阈值，可考虑减小LLC检测电阻值。

检查LLC次级侧的对称性

通过检测第一个输出电容（最靠近整流管）上的输出电压纹波，可推算出次级侧的分流大小，因为在开关频率下的电容阻抗多半为ESR。

自动重启和LLC抑制/迟滞突发模式

当超过ISL阈值时，LLC将自动重启。自动重启的关断时间等于 F_{MAX} 的4096个脉冲周期。

当FBL电流超过FMAX引脚中由FMAX电阻设定的电流时，将抑制LLC输出，从而进入迟滞突发模式，该模式可用于轻载或空载工作条件。

其他设计考量

VCC

PLC810PG的 V_{CC} 范围为10-15 V。是否需要 V_{CC} 进行稳压取决于所使用的待机电源。如果待机电源也用作PSU的一个输出，需确保输出负载突降期间 V_{CC} 电源不会下降到9 V以下。防止这种情况的一个简单方法是，在稳压器前添加一个470 μ F或其他合适大小的电容，为 V_{CC} 提供“穿越”能力。

最简单的稳压方式是使用一个齐纳二极管和一个BJT，如图28所示。BJT需为达林顿配置（如BST22TA），这样所需的基值电流就会很小。偏置电源需要提供13 V的最低电压，以使稳压器提供至少10.5 V的电压。稳压器无需提供完全恒定的输出电压，但需限制 V_{CC} 上的电压范围。注意，“B-”和“GND”节点分别

指PLC810PG GND引脚和大容量电容负极端。这些节点以电气方式连接在一起。但在图28中，初级偏置回路（C1底部）返回到大容量电容，GND返回到PLC810PG GND引脚。

图29所示为一个简单的远程开/关电路。电源将根据工作需要向光耦器PC817A供电。

用于改善PFC 0-100%负载阶跃响应的可选晶体管

在有些情况下，0-100%的负载阶跃可导致大容量电容电压下降到输出电压设定点的65%（参数为 $V_{SD(L)}$ ），从而关断LLC。VCOMP引脚（见图30）上放置的晶体管将加快PFC对大负载阶跃的大信号响应速度。它的工作原理是：当检测到VCOMP引脚吸入的电流达到400 μ A后，快速使C5放电，这将立即引起AC输入电流增大，从而制止了总线电压下降。该电路仅在 $R3 \geq 1.8$ k Ω 时起作用。当 $V_{FB} < 2.1$ V时，VCOMP引脚输出吸入的电流增至400 μ A，这表明总线电压从设定点下降了5%。

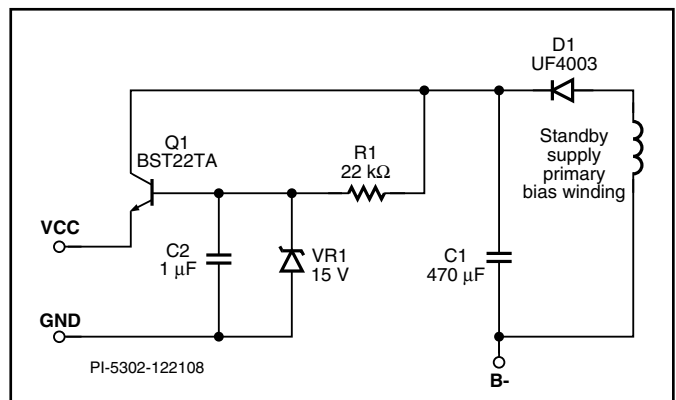


图 28. 针对VCC的简单齐纳二极管稳压方式

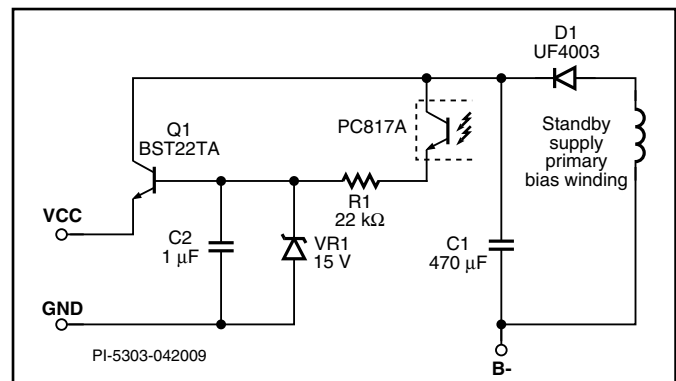


图 29. VCC稳压器上的远程开关

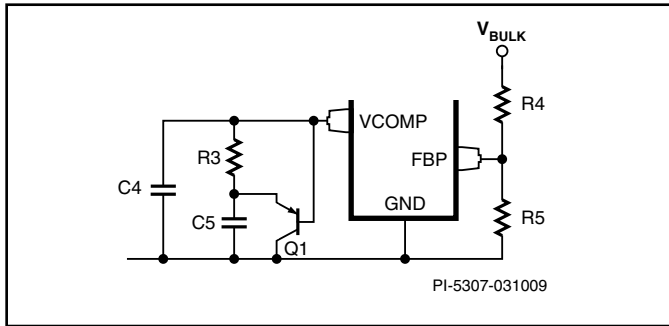


图 30. 用于在大负载阶跃期间改善PFC压降的可选BJT

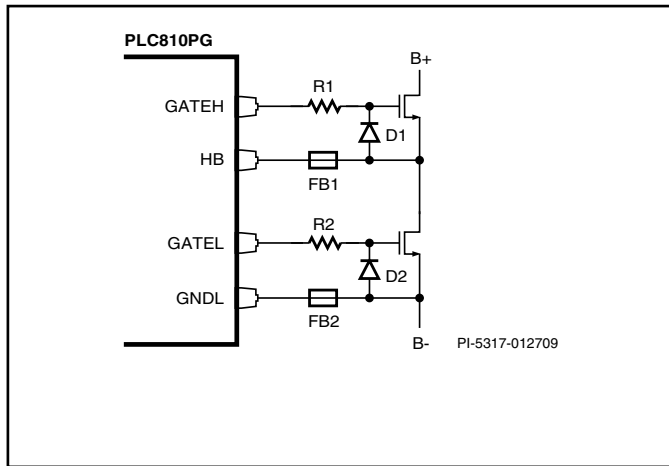


图 31. 减小GATEL和GATEH引脚上的负电压尖峰 (D1和D2为1N4148)

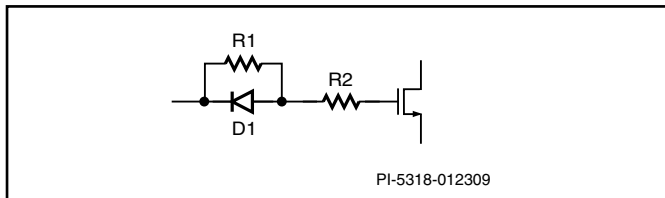
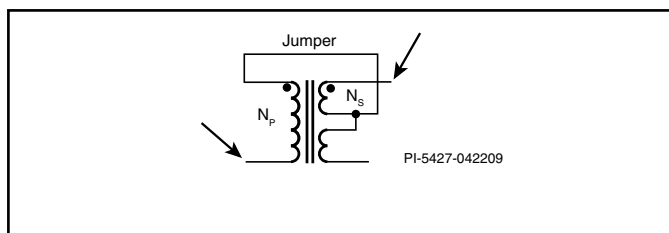


图 32. 减小GATEL和GATEH引脚上的负电压尖峰的其他选项

图 33. 测量箭头处的电感 L_{AID}

限制GATEL和GATEH引脚上的负电压

GATEL和GATEH引脚上允许的最大负电压为-300 mV。

在半桥中的电压转换期间，LLC MOSFET两端（漏极至源极）均出现高dv/dt。在下降沿转换期间，受影响的低压端LLC MOSFET漏极-源极dv/dt也为负值。该负dv/dt通过漏极-栅极电容进行耦合并从GATEL引脚拉出电流（尽管拉出的量并不大），该电压相对于GNDL引脚为负电压，并产生负电压尖峰。同样，在正电压半桥转换期间，电流从GATEH引脚流出，其电压相对于HB引脚转为负值。该电流流经栅极输出的内部下拉MOSFET，栅极输出的额定 $R_{DS(ON)}$ 约为4 Ω 。如果电流足够大，栅极电压有可能下降到规格限定值-300 mV以下。

图31和32提供了两种可能会解决上述问题的解决方案。在图31中，两个二极管对栅极-源极负电压形成箝位。剩下的电压通过由栅极电阻（R1和R2）和GATEL/GATEH内部下拉MOSFET的 $R_{DS(ON)}$ 形成的电阻分压器来降低。

在图32中，使用变通的栅极驱动网络代替简单的串联电阻。 V_{GS} 上的负电压通过由R1、R2和下拉MOSFET的 $R_{DS(ON)}$ 形成的电阻分压器来降低。这种驱动方式将减缓导通时间，不过这对性能产生的影响甚微。

集成变压器匝数比的测量和计算

集成变压器等效匝数比的计算步骤如下。

测量初级开路电感 L_{OPEN} 。

使次级侧的一个相位短路，然后测量初级电感。该数值为 L_{SER} 。计算 L_p ：

$$L_p = L_{OPEN} - L_{SER}$$

以“叠加”的方式（点端与无点端相连）将次级侧的一相与初级侧串联在一起，形成自耦变压器（参见图33）。测量总电感 L_{AID} ，测量值应大于 L_{OPEN} 。如果测量值不大于 L_{OPEN} ，则说明它们不是以“串联叠加”的方式相连，而是点端与点端相连。反转初级侧的相位进行更正，然后重新测量。

图18中的等效电路的变压器等效匝数比计算公式如下：

$$N_{EQUIV} = \frac{1}{\left(\sqrt{\frac{L_{AID} - L_{SER}}{L_p}}\right) - 1}$$

版本	注释	日期
A	初始版本	05/09
B	更新了第10页、14页、17页及21页的文字和算式	07/09

了解最新信息，请访问我们的网站：www.powerint.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.powerint.com. Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.powerint.com/ip.htm>.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, LinkSwitch, DPA-Switch, PeakSwitch, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies.

©2009, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部 5245 Hellyer Avenue San Jose, CA 95138, USA. Main: +1-408-414-9200 Customer Service: Phone: +1-408-414-9665 Fax: +1-408-414-9765 e-mail: usasales@powerint.com	德国 Rueckertstrasse 3 D-80336, Munich Germany Phone: +49-89-5527-3910 Fax: +49-89-5527-3920 e-mail: eurosales@powerint.com	日本 Kosei Dai-3 Bldg. 2-12-11, Shin-Yokomana, Kohoku-ku Yokohama-shi Kanagwan 222-0033 Japan Phone: +81-45-471-1021 Fax: +81-45-471-3717 e-mail: japansales@powerint.com	台湾 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 114, Taiwan R.O.C. Phone: +886-2-2659-4570 Fax: +886-2-2659-4550 e-mail: taiwansales@powerint.com
中国（上海） Room 1601/1610, Tower 1 Kerry Everbright City No. 218 Tianmu Road West Shanghai, P.R.C. 200070 Phone: +86-021-6354-6323 Fax: +86-021-6354-6325 e-mail: chinasales@powerint.com	印度 #1, 14th Main Road Vasanthanagar Bangalore-560052 India Phone: +91-80-4113-8020 Fax: +91-80-4113-8023 e-mail: indiasales@powerint.com	韩国 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea Phone: +82-2-2016-6610 Fax: +82-2-2016-6630 e-mail: koreasales@powerint.com	欧洲总部 1st Floor, St. James's House East Street, Farnham Surrey GU9 7TJ United Kingdom Phone: +44-1252-730-141 Fax: +44-1252-727-689 e-mail: eurosales@powerint.com
中国（深圳） Rm A, B & C 4th Floor, Block C, Electronics Science and Technology Bldg., 2070 Shennan Zhong Rd, Shenzhen, Guangdong, China, 518031 Phone: +86-755-8379-3243 Fax: +86-755-8379-5828 e-mail: chinasales@powerint.com	意大利 Via De Amicis 2 20091 Bresso MI Italy Phone: +39-028-928-6000 Fax: +39-028-928-6009 e-mail: eurosales@powerint.com	新加坡 51 Newton Road #15-08/10 Goldhill Plaza Singapore, 308900 Phone: +65-6358-2160 Fax: +65-6358-2015 e-mail: singaporesales@powerint.com	技术支持热线 World Wide +1-408-414-9660 技术支持传真 World Wide +1-408-414-9760