

アプリケーションノートAN-44

LinkSwitch-II ファミリー

設計ガイド

序文

LinkSwitch-IIは、オフラインスイッチング電源に使用する、高集積モノリシックICであり、6.1Wの出力電力まで対応する。チャージャ、アダプタ、サブ電源及びLEDドライバ等のアプリケーションに対し、LinkSwitch-IIは、フォトカプラや二次側フィードバック回路を使用せず、定電圧及び定電流レギュレーション特性(CV/CC)に対応する。出力ケーブル電圧降下補償(LNK61xのみ)、トランスインダクタンス補正、及び外付け部品の温度特性補償機能により、出力ケーブルの終端でも高いレギュレーション特性が実現できる。ON/OFF制御により、広い入力電圧、出力負荷範囲で効率を最適化し、無負荷時及び効率の要求に対し、容易に設計が可能である。

このファミリーの全てのICでは、MOSFETとコントローラがワンチップに集積されている。DRAINピンに接続された高電圧カレントソースから、内部起動バイアス電流が流れるため、外部起動回路部品を削除できる。内部発振回路は、最大周波数モード動作時、EMI低減のため周波数変調(ジッター)がかかる。更に、ICには機能が集積され、システムレベルでの保護を行う。オートリスタート機能により、過負荷時、出力短絡、オープンループ状態において、MOSFET、トランス、及び出力ダイオードの発熱を制限する。自動復帰型ヒステリシス付き過熱保護により、過熱異常時にMOSFETのスイッチングを停止させる。パワー・インテグレーションズのEcoSmart®技術により、LinkSwitch-IIファミリーは外部バイアス巻線無しでも、AC230V入力時、待機電力は200mW以下となり、低価格バイアス

回路使用時には30mW以下も可能である。これにより、California Energy Commission (CEC)、European Code of Conduct、ENERGY STARの様に、グローバルなエネルギー効率規制に対し、容易に対応が可能となる。

基本回路構成

図1に、LinkSwitch-IIを使ったフライバック電源の基本回路を紹介する。LinkSwitch-IIには、多くの機能が集積されており、ほとんど全てのアプリケーションに対して、一種類の共通回路で対応が可能であるため、外部回路での検討事項は僅かである。例えば、出力電圧レベルが異なる場合、いくつかの部品は異なった値になるが、回路構成は一定である。

概要

このアプリケーションノートは、LinkSwitch-IIファミリーを使用して、絶縁型AC-DCフライバック電源を設計する技術者向けに作成されており、技術者が容易に、主要部品の選定と、トランス設計を行う事ができる。このアプリケーションノートでは、PI Expert™設計ソフトの一部である、PIXIs設計シートの形式に基づいて作成されており、設計を容易に進める事ができる。

本アプリケーションノートに加え、試作ボード、レポート及びデバイスサンプルで構成される、LinkSwitch-II Reference Design Kit (RDK; リファレンス・デザイン・キット)が用意されており、新たな設計を開始する際に有効である。PI Expertのダウンロード、RDKの入

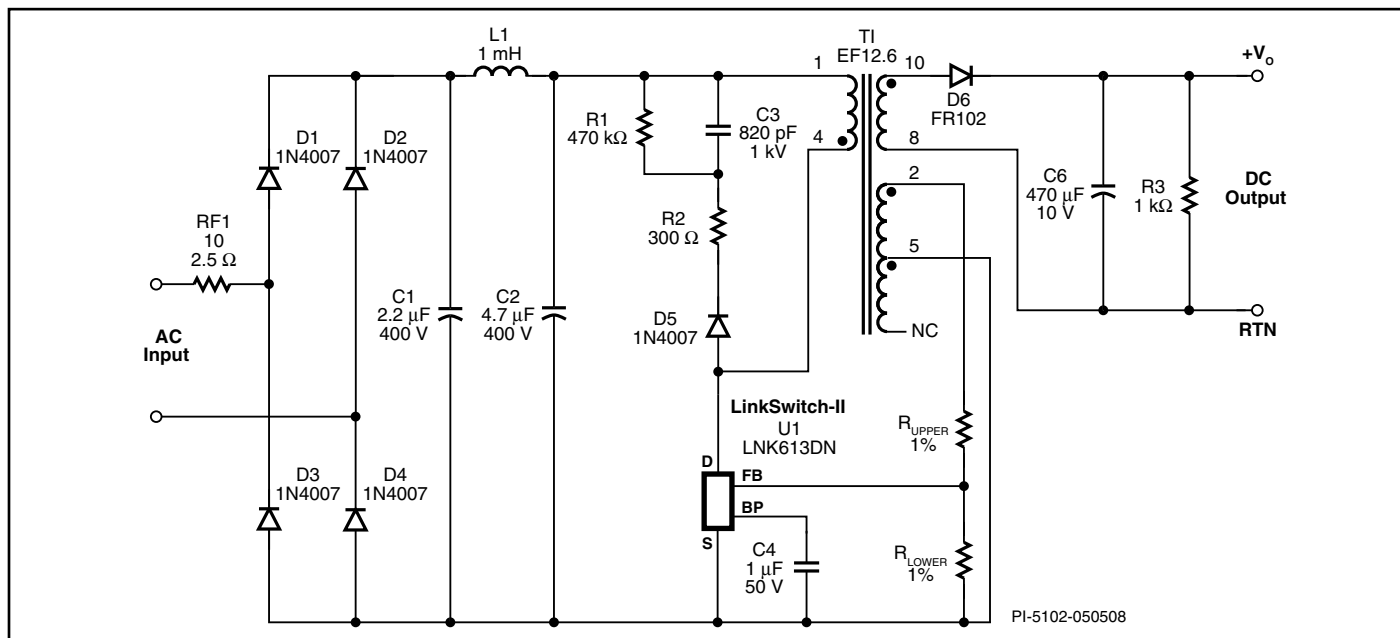


図1. 一次側センスのフィードバック回路によるLinkSwitch-II フライバック電源の標準回路

手方法、最新の図面情報等については、www.powerint.comを参照して下さい。

簡易スタート

まず始めに、トランス設計と、初回試作用部品選定を行うために以下の条件を使用する。PIXIs計算シートには、下記の条件(パラメータ)のみを入力する。それ以外のパラメータは、通常設計条件に基づき、自動的に設定される。計算シート内の参考値が入る位置を[かっこ]内に示す。

- AC入力電圧範囲 $V_{AC\ MIN}$ 、 $V_{AC\ MAX}$ 、及び最小入力ライン周波数 f_L を入力 [B3, B4, B5]。
- 定格出力電圧 V_o (必要な場合、ケーブルの終端電圧)を入力 [B6]。
- 定格出力電流値を入力 [B7]。
- 効率の推定値を入力 [B9]。
 - ユニバーサル入力(85-265 VAC)、あるいは100/115 VAC (85-132 VAC)の場合0.7、230 VAC (185-265 VAC)の場合は0.75とする。(初回試作品を用いて、最大負荷時及び最低入力電圧時 $V_{AC\ MIN}$ の効率測定後、必要に応じて修正する。)
- 損失配分係数 Z の入力 [B10]。
 - 通常は0.5とする。(初回試作品を用いて順次修正する。)
- 外部バイアスの選択。YESまたはNOを入力 [B12]。
 - 効率改善や無負荷時待機電力を下げる場合、YESを選択する。
- 入力コンデンサ容量 C_{IN} を入力[B13]。
 - ユニバーサル入力(85-265 VAC)時、あるいは100/115 VAC入力時2 μ F/W以上とする。
 - 230 VACあるいは195~265 VAC入力時、1 μ F/Wとする。
 - 注: LinkSwitch-IIデバイス選択後、デューティサイクルの計算値[D59]が55%以上の場合、入力コンデンサ容量を上げる。
- LinkSwitch-IIデバイスをドロップダウンリストから選択、あるいは直接入力する [B16]。
 - 出力電圧に応じ、テーブル1に従い、デバイスを選択する。

出力電力テーブル

製品	85 – 265 VAC	
	アダプタ	オープンフレーム
LNK6X3PG/DG	2.5 W	3.1 W
LNK6X4PG/DG	3.5 W	4.1 W
LNK6X5PG/DG	4.5 W	5.1 W
LNK6X6PG/DG	5.5 W	6.1 W

テーブル1. 出力電力テーブル

注: LNK60xデバイスには出力ケーブル電圧降下補償機能は無い。
LNK61xデバイスは出力ケーブル電圧降下補償機能を選択できる。

- 7ピンDIPの場合はパッケージPGを、7ピンSO8面実装の場合(LNK6x6は無し)はDGを、7ピンDIP面実装の場合は(LNK6x6のみ)をそれぞれ入力 [B17]。
- 最大動作周波数 F_s を入力 [B21]。(F_s は部品定格値における最

大動作周波数。)

- 注: 推奨周波数は60kHzから90kHzの間である。
- V_{DS} [B23]ON時ドレイン供給電圧降下を入力。特にデータが無い場合は10 Vとする。
- 出力ダイオードの順方向電圧降下 V_D [B24]を入力。ショットキーの場合0.5、一般的なP/N接合ダイオードの場合0.7とする。
- 不連続動作を確実にするため、 K_p [D25]が1.3以上である事を確認。レギュレーション特性を良くするためには、 K_p を1.5以上にする。
- 外部バイアスを選択した場合 [B12]、バイアス電圧を入力 [B33]。無負荷時待機電力を抑えるために、10 Vを推奨する。
- 出力ダイオード導通時間 D_{CON} [B37]として、4.5 μ sを入力。
- ドロップダウンメニューから、コア形状を入力 [B44]。希望するコア形状がリストに無い場合、コア特性 A_E 、 L_E 及び A_L ([B46] [B47] [B48])、を入力できる。
- ポビン巻線幅BW [B49]を入力。
- マージンテープが必要な場合、マージンテープ幅 [B50]を入力。注: 実際に入力された値の2倍が、巻線幅からマイナスされる。
- 一次巻線の層数Lを入力 [B51]。一次側漏れインダクタンスを下げるため、最大3層とする。
- 一次インダクタンス公差 $L_{P(TOLERANCE)}$ を入力[B68]。
- トランスの最大磁束密度 $B_{M(TARGET)}$ を入力 [B71]。注: トランスの音鳴りを抑えるため、最大磁束密度を2500ガウス以下とする。F列に記載された警告に従う。
- コアギャップ L_C [D76]、ワイヤー径 AWG [D81]、及び一次巻線電流密度CMA [D83]が問題の無い事を確認する。
- LinkSwitch-IIのドレイン電圧 [D94]が680 V以下である事を確認。
- フィードバック抵抗の値は、 R_{UPPER} [D39]、 R_{LOWER} [D40]とする。(図1)
- PIV_S [D95]及び I_{SRMS} [D88]から、出力ダイオードを選択。
- 入力コンデンサの定格電圧は V_{MAX} [D56]以上とし、リップル電流定格は I_{RIPPLE} [D62]以上のものを選択。
- V_o [B6]、 I_{SP} [D87]及び I_{RIPPLE} [D89]から、適当な出力フィルターコンデンサを選択。
- I_{AVG} [D60]及び600Vから1000Vの推定ピーク逆電圧から、入力整流ダイオード(通常1N4006、あるいは1N4007)を選択。
- I_{AVG} [D60]から、適当な入力フィルターインダクタ電流定格を規定。通常伝導EMIの要求から、インダクタンス値は1mHから2mHの間とする。
- 試作品製作後、ピーク電力ポイントで出力電圧、電流を測定。 R_{UPPER} 及び R_{LOWER} には実際に使用した値を入力。
- セル [B100]に測定電圧を入力。セル[B101]に、CVからCC動作に移行するポイントでの測定電流を入力。PIXIs計算シートでは、高精度に調整された抵抗値が計算される。 R_{UPPER} [D102]及び R_{LOWER} [D103]には1%程度の抵抗を使用する。

ステップ・バイ・ステップ設計手順

ステップ1. 設計条件の入力; V_{AC_MIN} 、 V_{AC_MAX} 、 f_L 、 V_O 、 I_O 、 η 、 Z 、 V_B 、 t_C 、バイアス巻線、 C_{IN}

ENTER APPLICATION VARIABLES				
VACMIN	85		V	Minimum AC Input Voltage
VACMAX	265		V	Maximum AC Input Voltage
fL	50		Hz	AC Mains Frequency
VO	5		V	Output Voltage (at continuous power)
IO	0.6		A	Power Supply Output Current (corresponding to peak power)
Power			3.00 W	Continuous Output Power
n			0.70	Efficiency Estimate at output terminals. Under 0.7 if no better data available
Z			0.50	Z Factor. Ratio of secondary side losses to the total losses in the power supply. Use 0.5 if no better data available
tC			3.00 ms	Bridge Rectifier Conduction Time Estimate
Add Bias Winding	YES		YES	Choose Yes to add a Bias winding to power the LinkSwitch-II.
CIN	9.4		uF	Input Capacitance

図2. 設計計算シートの設計条件の項

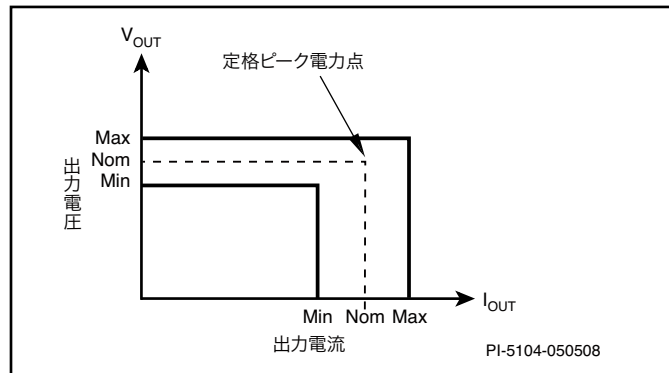


図3. 出力特性の定義

入力電圧範囲をテーブル2から規定する。

定格入力電圧 (VAC)	V_{AC_MIN}	V_{AC_MAX}
100/115	85	132
230	195	265
ユニバーサル	85	265

テーブル2. 標準入力電圧範囲

注: DC入力設計の場合、設計計算シートのグレーの上書きセル部分に、最大及び最小DC入力電圧、すなわち V_{MIN} 及び V_{MAX} を直接入力する(図4参照)。

入力ライン周波数 F_L

通常の入力ライン周波数は、100 VACの場合50 Hz、115 VACの場合60 Hz、更に230 VACの場合50 Hzである。これらの値は最小ではなく、定格値である。ほとんどの設計の場合、ここでは設計マージン0を取っている。最悪値あるいは製品仕様に基づいて設計する場合、定格値から6%下げる(47 Hzあるいは56 Hz)。半波整流の場合は $F_L/2$ とし、DC入力の場合は、電圧値を直接セル[B55]と[B56]に入力する。

定格出力電圧 V_O (V)

CV/CC設計及びCVのみの設計の場合、 V_O は定格出力電流時の出力ケーブルの終端部の定格出力電圧である。出力電圧の公差は±5%である(設定電圧公差及びデータシートに記載されたジャンクション温度範囲を含む)。

定格出力電流 I_O (A)

I_O は、CV/CC設計の場合、定格出力電圧時の定格出力電流である。CVのみの設計の場合、仕様に定められた出力電流に10%を加えた値を入力する。10%加算により、要求された出力電流を供給している間、各種公差や温度変動を考慮しても、電源はCVモードで動作する。

定格出力電圧及び電流は、外付けアダプタの場合、表示された仕様と同一でない場合がある。エネルギー効率測定テスト方法に対応するため、通常、表示された仕様はアダプタの最小出力電圧と電流であり、測定時にアダプタの最低電圧 $V_{O(MIN)}$ と最小電流 $I_{O(MIN)}$ を供給できる。図3に出力電圧、電流の定義を紹介する。

電源効率 η

電源全体としての推定効率を入力する: すなわち、最大負荷時及び最悪入力条件時(通常、最低入力電圧時)出力ケーブルの終端(適用できる場合)にて、電圧及び電流を測定する。(ユニバーサル入力(85-265 VAC)や100/115 VAC(85-132 VAC)入力時は0.7、230 VAC(185-265 VAC)入力時は0.75から開始する。) V_{AC_MIN} 及び V_{AC_MAX} でのピーク出力電力点で、初回試作品の効率を測定し、その値に従って値を修正する。

電力損失分配係数 Z

この係数は、電源の一次側及び二次側の全体損失に対する、二次側損失の比率である。この Z は、電力部が伝送しなければならない実際の電力を規定するために、計算された効率と共に使用される。例えば、入力部の損失(EMIフィルター、入力整流部等)は、電

DC INPUT VOLTAGE PARAMETERS				
VMIN			89.82 V	Minimum DC bus voltage
VMAX			374.77 V	Maximum DC bus voltage

図4. 設計計算シートのDC入力電圧パラメータ項

力部(トランスを経由して伝送される)では考慮されない。従って、これらは全体効率には影響するが、トランス設計には関係しない。

$$Z = \frac{\text{二次側損失}}{\text{全体損失}}$$

特にデータが無い場合、0.5とする。

ブリッジダイオード導通時間 t_c (ms)

これは、入力ダイオードが導通し、入力コンデンサが充電され、AC入力入力正弦波が入力される時間である。 $V_{AC(MIN)}$ において、入力コンデンサの最小電圧の計算に使われる。ACの実際の値は、試作品の入力電流波形から測定できる。特にデータが無い場合、0.5とする。

バイアス巻線の追加 YES/NO

LinkSwitch-IIの外部バイアス電源が必要な場合、YESを入力し、トランスにバイアス巻線を追加する。外部バイアス巻線は、特に軽負荷時の効率を改善し、IC内部の電圧電源を停止させる事で、無負荷時の電力消費を低減する。外部バイアス巻線が不要な場合は、NOを入力する。

外部バイアス電源を使う事で、特に軽負荷時に効率が改善され、平均効率が十分に向上すると、出力ダイオードをコストの高いショットキーバリアタイプから、低コストPN接合ダイオードに変更する事も可能である。軽負荷時、外部バイアス電源を使うと、全体効率が上がり、上記低コストのオプションを適用しても十分対応できる。この場合、ショットキーダイオードからPN接合ダイオードへ変更しても良いが、出力ケーブルをより小さなもの(高インピーダンス品)に変更する事も可能である。

総入力コンデンサ容量 C_{IN} (μ F)

テーブル3のガイダンスに従い、総入力コンデンサ容量を入力する。コンデンサ容量は、バルクコンデンサの両端の最低電圧値(V_{MIN})の計算に使用される。 V_{MIN} を70 V以上に維持する C_{IN} の値を選択する。

出力電圧あたりの総入力コンデンサ容量 (μ F/W)	
AC入力電圧 (VAC)	全波整流
100/115	3
230	1
85-265	3

テーブル3. 入力電圧範囲と推奨総入力コンデンサ容量

ステップ2 - LinkSwitch-II 変数の: LinkSwitch-II デバイス、パッケージ、 V_{DS} 及び V_D

正しいLinkSwitch-IIデバイスを選択する。

LinkSwitch-IIの電力テーブルを参照し(テーブル4)、出力電力と動作条件(密閉型アダプタ、あるいはオープンフレーム)からからデバイスを選択する。

LinkSwitch-II 出力電力テーブル $T_J \leq 100^\circ\text{C}$

製品	85 - 265 VAC	
	アダプタ	オープンフレーム
LNK6X3P/D	2.5 W	3.1 W
LNK6X4P/D	3.5 W	4.1 W
LNK6X5P/D	4.5 W	5.1 W
LNK6X6P/G	5.5 W	6.1 W

テーブル4. 出力電力テーブル

注: LNK60xデバイスには、出力ケーブル電圧降下補償機能無し。
LNK61xは、出力電圧降下補償機能が選択できる。

パッケージタイプの選択

セル[B17]に、7ピンDIPの場合PG、7ピン面実装SO8の場合DG、7ピンDIP面実装の場合GG(LNK6x6のみ)を入力する。(この項、及びこの後の4つのステップは図5を参照。)

動作周波数の選択 F_s

定格動作スイッチング周波数 F_s を入力。 F_s は定格ピーク出力電力動作時における、スイッチング周波数である。周波数を60 kHzから90 kHzの間で選択する。最小及び最大周波数は、 L_p 及び内部カレントリミットの公差に依存し、バラつく。最小及び最大周波数の計算値が、45 kHzから100 kHzの範囲を外れた場合、警告が表示される。

LinkSwitch-II オン時間ドレイン - ソース間電圧、 V_{DS} (V)

このパラメータは、オン時間におけるLinkSwitch-IIのDRAINピンとSOURCEピンとの間の平均電圧である。特に値が入力されない場合、PIXIs計算シートでは初期値を10 Vとする。

出力ダイオード順方向電圧降下、 V_D (V)

出力ダイオードの平均順方向電圧降下を入力する。ショットキーダイオードの場合0.5 V、PNダイオードでは0.7 Vとする(特に使用するダイオードのデータが無い場合)。 V_D の初期値は0.5 Vとする。

二次側ダイオード導通時間に対するMOSFETのオフ時間比率、 K_p

レギュレーション特性を維持するため、LinkSwitch-IIは不連続モードによる動作が必要である。確実に不連続モードで動作するため、 K_p が1.3以上であることを確認する。1.5以上の値を推奨する。 K_p は、いかなるモードでも1以上を示す不連続動作とし、それは二次側ダイオード導通時間と一次側MOSFETのオフ時間の比である。

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

フィードバック巻線パラメータ

フィードバック巻線パラメータは、PIXIs計算シートで計算される。 N_{FB} がトランスのフィードバック巻線の巻数である。 V_{FLY} と V_{FOR} は、それぞれMOSFETがオン時(V_{FOR})、オフ時(V_{FLY})のフィードバック巻線電圧である。

ENTER LinkSwitch-II VARIABLES				
Chosen Device	LNK604		LNK604	Chosen LinkSwitch-II device
Package	PG		PG	Select package (PG, GG or DG)
ILIMITMIN			0.24 A	Minimum Current Limit
ILIMITTYP			0.25 A	Typical Current Limit
ILIMITMAX			0.28 A	Maximum Current Limit
FS			66.00 kHz	Typical Device Switching Frequency at maximum power
VOR			85.25 V	Reflected Output Voltage (VOR < 135 V Recommended)
VDS			10.00 V	LinkSwitch-II on-state Drain to Source Voltage
VD			0.50 V	Output Winding Diode Forward Voltage Drop
KP			2.47	Ensure KDP > 1.3 for discontinuous mode operation

図5. 設計計算シートのLinkSwitch-II変数の入力項

FEEDBACK WINDING PARAMETERS				
NFB			5.00	Feedback winding turns
VFLY			4.58 V	Flyback Voltage
VFOR			4.83 V	Forward voltage

図6. 設計計算シートのフィードバック巻線パラメータ項

BIAS WINDING PARAMETERS				
VB			10.00 V	Bias Winding Voltage. Ensure that VB > VFLY. Bias winding is assumed to be AC-STACKED on top of Feedback winding
NB			7.00	Bias Winding number of turns

図7. 設計計算シートのバイアス巻線パラメータ項

バイアス巻線パラメータ

バイアス巻線を使用する場合(セル[B12]にYESと記入)バイアス電圧 V_B を入力する(図7)。無負荷時待機電力を抑えるため、10Vとする。

N_B は、フィードバック巻線の上側に積み上げられる巻数である(ACスタック)。

ステップ3 - 出力ダイオード導通時間の選択、 D_{CON} (μs)

D_{CON} は、ピーク出力電力時の出力ダイオードの導通時間である。ボビン巻枠を効率良く使うために、二次側及びフィードバック巻線の巻数を調整する際に、 D_{CON} の値を変更する。 D_{CON} を大きくすると、巻数も増加する。

D_{CON} の最小値は、軽負荷時でもフィードバック巻線からサンプリングされる。すなわち、内部MOSFETがターンオフして2.5 μs 後に、出力ダイオードが確実に導通状態であるように、4.5 μs に制限され

ている。 D_{CON} の最大値は、通常 K_p の値で制限される。 K_p が増加すると、 K_p の値は最小値の1.3に達するまで減少する。

抵抗 R_{UPPER} 及び R_{LOWER} は、フィードバック巻線抵抗の初期計算値である(図1)。

ステップ4 - 出力電力に基づいた、コア及びボビンの選択、及び A_E 、 L_E 、 A_L 、 B_W 、 L の入力

A_E (cm^2)は有効断面積、 L_E (cm)はコアの有効磁路長、 A_L ($nH/Turn^2$)はギャップ無しコアの有効インダクタンス、 B_W (mm)はボビン巻線枠、 L は一次巻線層数である。

コアサイズ	出力電力
EF12.6	3.3 W
EE13	3.3 W
EE16	6.1 W

テーブル5. LinkSwitch-II設計におけるコア形状と出力電力

DESIGN PARAMETERS				
DCON			4.50 μs	Output diode conduction time
TON			4.20 μs	LinkSwitch-II On-time (calculated at minimum inductance)
RUPPER			11.80 k-ohm	Upper resistor in Feedback resistor divider
RLOWER			7.91 k-ohm	Lower resistor in resistor divider

図8. 設計計算シートにおける設計パラメータ項

ENTER TRANSFORMER CORE/CONSTRUCTION VARIABLES				
Core Type				
Core	EE16		EE16	Enter Transformer Core. Based on the output power the recommended core sizes are EE13 or EE16
Bobbin			EE16_BOBBIN	Generic EE16_BOBBIN
AE			19.20 mm^2	Core Effective Cross Sectional Area
LE			35.00 mm^2	Core Effective Path Length
AL			1140.00 $nH/turn^2$	Ungapped Core Effective Inductance
BW			8.60 mm	Bobbin Physical Winding Width
M			0.00 mm	Safety Margin Width (Half the Primary to Secondary Creepage Distance)
L			3.00	Number of Primary Layers
NS			6.00	Number of Secondary Turns. To adjust Secondary number of turns change DCON

図9. 設計計算シートにおけるトランスコア/構造変数項

トランスコア形状

EE10	EF16
EF12.6	EF20
EE13	EF25
EE16	EFD15
EE19	EFD20
EE22	EFD25
EEL16	EFD30
EE16W	EI16
EEL19	EI19
EEL22	EI22
EE25	EI25
EEL25	

テーブル6. LinkSwitch-IIのPIXIs計算シートで対応できるコア形状リスト

コアセルが空欄の場合、初期値として計算シートではピーク磁束密度の制限に対応する最小のコアサイズを選択する。ユーザーはこのセクションを変更でき、一般的なコアリストから(テーブル6参照)適当なコアを選択できる。テーブル5にコア形状と出力電力のガイドラインを紹介する。

灰色上書きセル[B44からB51]には、コア、ボビンパラメータを直接入力する。これは、希望するコア、ボビン情報が計算シートで対応できるものと異なっていたり、リストに無い場合に利用する。

三層絶縁線を使わずに、一次二次間の絶縁距離が必要な設計の場合、パラメータMにボビンの片側を取る安全マージン幅を入力する。ユニバーサル入力設計の場合、通常6.2 mmの総マージンが必要であり、計算シートには3.1 mmと入力する。縦型ボビンの場合は、安全マージン幅は対称で無い場合もあるが、総マージン幅が6.2 mm必要な場合(例えば、たとえボビンの片側のみにマージンテープが必要な場合でも3.1 mmと入力する。

三層絶縁線を使った設計の場合でも、必要な沿面距離を確保するために、マージンテープが必要な場合がある。一般的には、一つのコア形状に対して多くのボビン形状があり、各々マージン確保の方法は異なる。設計要求を満足させるため、ボビンのデータシートを参照するか、あるいは安全規格担当者かトランスメーカーからの指示を仰ぐ。安全マージンにより巻線の有効面積が減少するため、小型コアを使ったトランスの場合、マージン構造が適さない場合がある。マージン幅を入力し、三層以上の一次側巻線(L)が必要な場合、大きなコアに変更するか、三層絶縁線を使った、マージン幅の無い設計に変更する。

一次巻線の層数(L)を入力する。最大巻線層数は三層を推奨する。層数が多くなると、漏れインダクタンスが大きくなり、その結果損失が増大する。

N_s は二次巻線の巻数である。巻数を増やす場合、 D_{CON} [B37]の値を大きくする。

DC INPUT VOLTAGE PARAMETERS				
VMIN			89.82 V	Minimum DC bus voltage
VMAX			374.77 V	Maximum DC bus voltage

図10. 設計計算シートのDC入力電圧パラメータ項

CURRENT WAVEFORM SHAPE PARAMETERS				
DMAX			0.28	Maximum duty cycle measured at VMIN
Iavg			0.05 A	Input Average current
IP			0.24 A	Peak primary current
IR			0.24 A	Primary ripple current
IRMS			0.08 A	Primary RMS current

図11. 設計計算シートの電流波形パラメータ項

TRANSFORMER PRIMARY DESIGN PARAMETERS				
LPMIN			1589.61 uH	Minimum Primary Inductance
LPTYP			1766.23 uH	Typical Primary inductance
LP TOLERANCE			10.00	Tolerance in primary inductance
NP			93.00	Primary number of turns. To adjust Primary number of turns change BM_TARGET
ALG			183.79 nH/turn^2	Gapped Core Effective Inductance
BM_TARGET			2500.00 Gauss	Target Flux Density
BM			2472.89 Gauss	Maximum Operating Flux Density (calculated at nominal inductance), BM < 2500 is recommended
BP			2992.19 Gauss	Peak Operating Flux Density (calculated at maximum inductance and max current limit), BP < 3000 is recommended
BAC			1236.44 Gauss	AC Flux Density for Core Loss Curves (0.5 X Peak to Peak)
ur			165.37	Relative Permeability of Ungapped Core
LG			0.11 mm	Gap Length (LG > 0.1 mm)
BWE			25.80 mm	Effective Bobbin Width
OD			0.28 mm	Maximum Primary Wire Diameter including insulation
INS			0.05	Estimated Total Insulation Thickness (= 2 * film thickness)
DIA			0.23 mm	Bare conductor diameter
AWG			32.00	Primary Wire Gauge (Rounded to next smaller standard AWG value)
CM			64.00	Bare conductor effective area in circular mils
CMA		Info	765.31	!!! Info. CMA is on the higher side of recommendation but design will work. Consider reducing primary layers if possible

図12. 設計計算シートの一次側トランス設計パラメータ項

TRANSFORMER SECONDARY DESIGN PARAMETERS					
Lumped parameters					
ISP			3.68	A	Peak Secondary Current
ISRMS			1.33	A	Secondary RMS Current
IRIPPLE			1.19	A	Output Capacitor RMS Ripple Current
CMS			266.09		Secondary Bare Conductor minimum circular mils
AWGS			25.00		Secondary Wire Gauge (Rounded up to next larger standard AWG value)

図13. 設計計算シートの二次側トランス設計パラメータ項

VOLTAGE STRESS PARAMETERS					
VDRAIN			573.79	V	Maximum Drain Voltage Estimate (Assumes 20% clamping voltage tolerance and an additional 10% temperature tolerance)
PIVS			29.18	V	Output Rectifier Maximum Peak Inverse Voltage

図14. 設計計算シートの電圧ストレスパラメータ項

FINE TUNING					
RUPPER ACTUAL			11.80	k-ohm	Actual Value of upper resistor (RUPPER) used on PCB
RLOWER ACTUAL			7.91	k-ohm	Actual Value of lower resistor (RLOWER) used on PCB
Actual (Measured) Output Voltage (VDC)			5.00	V	Measured Output voltage from first prototype
Actual (Measured) Output Current (ADC)			0.60	Amps	Measured Output current from first prototype
RUPPER FINE			11.80	k-ohm	New value of Upper resistor (RUPPER) in Feedback resistor divider. Nearest standard value is 11.8 k-ohms
RLOWER_FINE			7.91	k-ohm	New value of Lower resistor (RLOWER) in Feedback resistor divider. Nearest standard value is 7.87 k-ohms

図15. 設計計算シートの微調整項

ステップ5 – トランス設計を繰り返し、トランス設計主要パラメータを作成する

警告が無くなるまで、設計を繰り返す。列の右側に表示されるガイドに従い、推奨値を外れるパラメータを修正する。“!!! Info”メッセージでは、更に最適化が可能なパラメータに対する指示内容が表示される。全ての警告が無くなったら、そのトランス設計パラメータを使い、試作トランスを巻線するか、サンプル作成業者に仕様を送る。

一次インダクタンス、 $L_{P(TYP)}$, $L_{P(MIN)}$ (μH), $L_{P(TOLERANCE)}$ (%)
 重要なトランスの電気的パラメータは、 $L_{P(TYP)}$ 、 $L_{P(MIN)}$ (μH)、 $L_{P(TOLERANCE)}$ であり、最小一次インダクタンスは、定格ピーク出力電力($V_o \times I_o$)を伝送するために必要な要素である。

一次インダクタンスは定格値と公差で通常規定されるので、 $L_{P(TYP)}$ は以下の式で表される。

$$L_{P(TYP)} = L_{P(MIN)} \times \left(1 + \frac{L_{P(TOLERANCE)}}{100} \right)$$

ここで、 $L_{P(TOLERANCE)}$ インダクタンス公差の%表示である。値が入力されない場合、PIXIsは初期値として10とし、 $L_{P(TOLERANCE)}$ は

±10%となる。

$L_{P(MIN)}$ の計算式には、効率としてZファクター、更に出力ケーブル電圧降下分も考慮されている。

一次側巻数、 N_p

これは、一次側巻線の総巻数である。

ギャップ付きコア有効インダクタンス、 A_{LG} (nH/T^2)

これは、 $L_{P(MIN)}$ の時の有効インダクタンス値に $1 + L_{P(TOLERANCE)}/100$ を掛け合わせたものであり、 A_{LG} の定格値である。この値は、通常トランスメーカーが正しいギャップ寸法のコアを購入するために使用される。

磁束密度の目標値、 $B_{M,TARGET}$ (Gauss)

$B_{M,TARGET}$ は、動作コア磁束密度であり、AC磁束の振幅である。音鳴り現象を抑えるため、最大でも2500 (0.25 T)とする。

コアギャップ長、 L_g (mm)

L_g は、推定コアギャップ長である。中足部のギャップ長が0.1 mm以下の場合、一次インダクタンス公差が大きくなるので推奨しない。どうしても必要な場合、トランスメーカーに相談する。

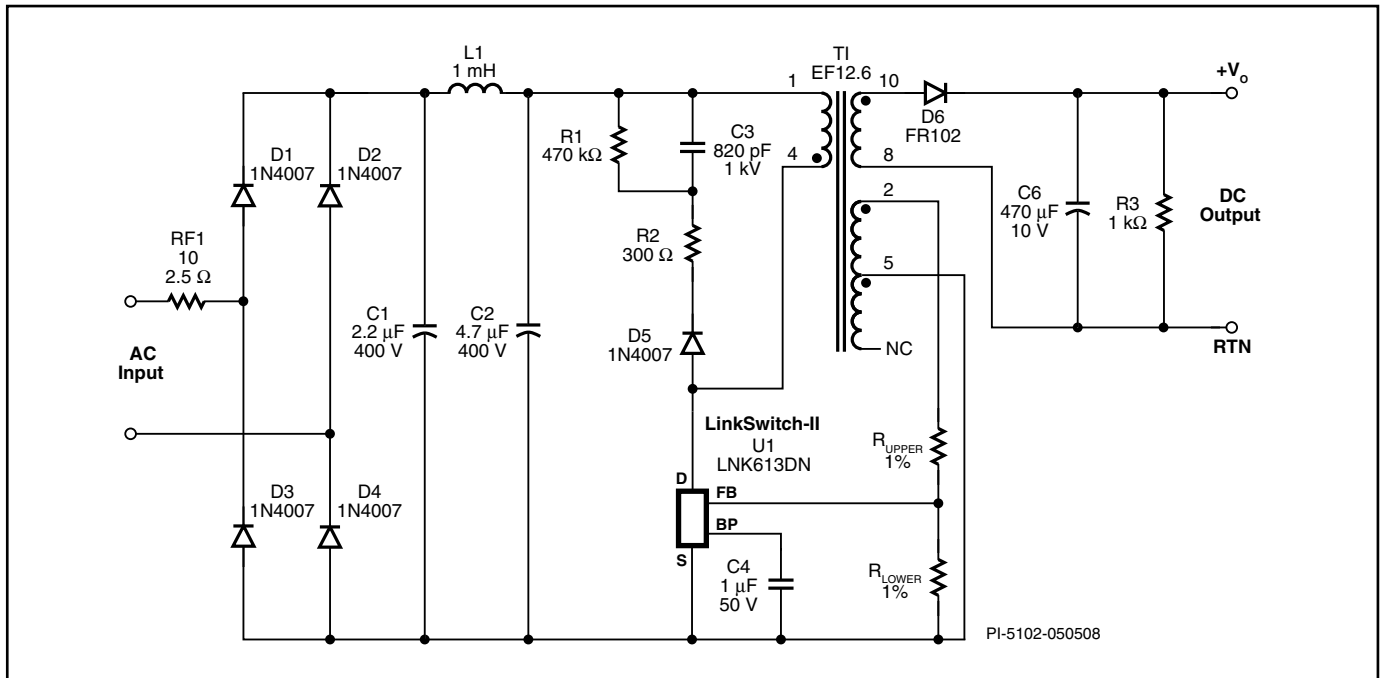


図16. 代表的なLinkSwitch-II フライバック電源。

一次側巻線の最大ワイヤ外径、OD (mm)

これは、一次巻線が規定された層数で巻線されるための、ワイヤの最大巻線径の計算値である。ワイヤの種類を選択する場合、信頼性向上と一次巻線容量を減らすため(無負荷時待機電力の低減)、二重コーティングタイプのワイヤ(一重では無く)を使用する。

一次側巻線の裸導電部径、DIA (mm)

一次側巻線径、AWG

これは、導電部の線径を、標準American Wire Gaugeサイズの一つ下のサイズに切り下げた値である。

一次側巻線裸導電部有効面積 $CM(C_{MILS})$

CMは、有効裸導電部面積のサーキュラーミル表示である。

一次側巻線電流容量、CMA (C_{MILS}/A)

CMAは、電流一次側導電部面積のサーキュラーミル表示(1ミルは1/1000インチ)を電流で割ったものである。最悪時で確認するのであれば、最低でも200を推奨する。

ステップ6 - 入力部の選択

推奨される入力部をテーブル7に紹介する。ヒューズ素子、入力整流及びラインフィルタ回路ネットワークで構成される。

ヒューズ素子は、ヒューズ抵抗でもヒューズでも良い。ヒューズ抵抗の場合、難燃タイプを選択する。入力ライン間の耐サージ要求もあり、巻線タイプが必要な場合もある。 VAC_{MAX} が繰り返し入力された場合、インラッシュ電流で破損する事もあり、メタルタイプ

やカーボンタイプの使用は避ける。

Yコンデンサを使用する設計の場合、EMIフィルタインダクタを、Yコンデンサの一次側への接続と反対に配置する。例えば、YコンをDCレールに接続した場合、入力インダクタは入力コンデンサ(C_{IN1} 及び C_{IN2})のマイナス部分の間に配置する(図26参照)。

出力が1W以下の設計の場合、低コスト対応で半波整流とし、1W以上の場合、全波整流とする。半波整流のEMI耐量は、マイナスリターンレール側にダイオードを追加すると改善できる。これによりEMIゲートとなり(ダイオードの導通時のみEMI電流が流れる)、更に、サージ電圧が二つのダイオードで分割されるので、差動モードのサージ耐量が倍になる。

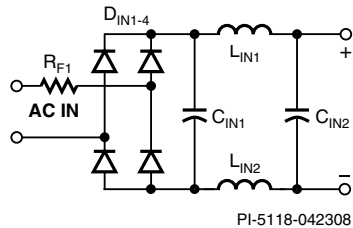
出力静電気テスト(ESD)が要求される電源仕様の場合、半波整流では対応できない場合がある。±15 kVまでのテストの間、決まった静電気エネルギーが電源の二次側(あるいは一次側)に印加される。半波整流の場合、この電圧が入力ダイオードの両端に印可され、破損する事がある。全波整流の場合、ダイオードへのストレスは入力コンデンサ電圧でクランプされるため、破損を防ぐ。

L_{IN1} 及び L_{IN2} と共に、 C_{IN1} 及び C_{IN2} がπ型フィルタとなり、伝導EMIフィルタを構成する。3W以下の電源か、電源出力がフローティングでEMIが測定される場合(安全グランドに接続されない)、インダクタは1個でも良い。3W以上の場合、通常は2個のインダクタが必要であるが、電源の出力がフローティングの場合、一つはフェライトビーズでも十分な場合がある。

通常、二つの入力コンデンサ(C_{IN1} 及び C_{IN2})の容量は均等に分ける。しかし、コスト低減のため、2つの異なるコンデンサ容量を使用する事もある。その場合、差動モードのサージの過電圧がコンデンサに印可される事を防ぐため、 C_{IN1} は $\geq 1\mu\text{F}$ を選択する。第2のコンデンサ C_{IN2} については、全体容量が $C_{IN1} + C_{IN2} \geq 2\mu\text{F/W}$ となるように選択するが、低入力電圧時に効率を上げる場合、 $3\mu\text{F/W}$ とする。

一次側のスイッチング電流が流れるため、差動モードEMIノイズは、 C_{IN2} の等価直列抵抗(ESR)から大きく影響を受ける。 C_{IN1} より C_{IN2} のESRを小さくすると、差動モードの伝導EMIが小さくなり、2つのコンデンサの全体コストも最適化できる。

テーブル7は入力フィルタ回路であり、異なった入力電圧範囲での $C_{IN1} + C_{IN2}$ の選択範囲を紹介する。



R_{F1} : 8.2 Ω , 1 W, ヒューズ、難燃性
 L_{IN1} : 470 μH - 2.2 mH, 0.05 A - 0.3 A
 L_{IN2} : フェライトビーズあるいは470 μH - 2.2 mH, 0.05 A - 0.3 A
 $C_{IN1} + C_{IN2}$: $\geq 2\mu\text{F/W}_{OUT}$ 400 V, 85 VAC - 265 VAC
 $\geq 2\mu\text{F/W}_{OUT}$ 200 V, 100 VAC - 115 VAC
 $\geq 1\mu\text{F/W}_{OUT}$ 400 V, 185 VAC - 265 VAC
 D_{INx} : 1N4007, 1 A, 1000 V

テーブル7. 入力部の推奨回路

ステップ7 - BYPASSピンコンデンサ、バイパス巻線及びフィードバック部品の選択

BYPASSピンコンデンサ

LinkSwitch-II LNK60x デバイス (出力ケーブル電圧補正機能無し)

電圧定格7 V以上の1 μF BYPASSピンコンデンサ(図16のC4)を使用する。コンデンサの絶縁材料は、特に規定しないが、絶対最小コンデンサ容量は、 $\geq 0.5\mu\text{F}$ とする(公差及び温度変動含む)。コンデンサは、LinkSwitch-II BYPASSピンに隣接して配置する。

LinkSwitch-II LNK61x デバイス (出力ケーブル電圧補正機能有り)

BYPASSピンコンデンサの値(図16のC4)から、出力ケーブル補正量を選択する。1 μF の場合、標準ケーブル補正となり、10 μF の場合、強化補正を選択する。テーブル8に、各LinkSwitch-IIデバイスとコンデンサ値の、無負荷時から全負荷時までの出力電圧の補正量を紹介する。

出力ケーブルの、出力電圧降下量に最も近いケーブル補正を選択する。例えば、ケーブルのインピーダンス300 m Ω 、5 V、700 mA LNK615の設計の場合、ケーブル電圧降下は-0.21 Vとなる。5Vの定格出力電圧(ケーブルの終端部)に対し-4.2%となり、この場合はエラー幅を最も小さくするため+5%補正を選択し(vs +7%)、BPピンコンデンサを1 μF とする。

LinkSwitch-II出力ケーブル補正

デバイス	BYPASSピン コンデンサ容量値	出力電圧変動率 (%)
LNK613	1 μF	3.5
	10 μF	5.5
LNK613	1 μF	4.5
	10 μF	6.5
LNK615	1 μF	5
	10 μF	7
LNK616	1 μF	6
	10 μF	9

テーブル8. デバイス及びBPピンコンデンサ容量値に対する出力ケーブル電圧降下補正

バイパス巻線部品

バイパス巻線を追加すると、無負荷時待機電力が200 mWから30 mW以下に減少する。これにより軽負荷時の効率が上昇するため、平均効率の要求に対応し、低コスト化を図ることができる。すなわち、高価なショットキーダイオードの代わりにPN接合ダイオードを使用したり、線径の細い、単層構造品(高インピーダンス品)を使う事も可能である。

バイパス巻線を使用した電源回路を、図19に紹介する。ダイオードD6、コンデンサC5及び抵抗R4でバイパス回路を構成する。出力電圧が8 V以下の場合、トランス巻線の追加が必要となり、フィードバック巻線の上側にACスタックで積み上げられる。この回路により、軽負荷時にスイッチング周波数が低下した際にも電圧が下がらず、BYPASSピンに十分電流供給が可能である。

図19に、バイパス用追加巻線(ピン2~ピン1)が、フィードバック巻線の上側(ピン4~ピン2)に積み上げられている回路を紹介する。D6は出力を整流するダイオードで、C5はフィルタコンデンサである。軽負荷時に、スイッチング周波数が低下しても、バイパス電圧を維持するよう、10 μF のコンデンサを推奨する。コンデンサの種類は特に要求は無く、電圧定格は V_{BIAS} の最大値以上とする。BPピンへの推奨電流は、ICの供給電流に等しい値(0.5 mA)とする。R4の値は、次の式に従って計算される。

$$(V_{BIAS} - V_{BP}) / I_{S2}$$

ここで、 V_{BIAS} はC5の両端電圧(10 V程度)、 I_{S2} (0.5 mA程度)はICの供給電流、 V_{BP} はBPピン電圧(6.2 V程度)である。 I_{S2} 及び V_{BP} は、LinkSwitch-IIデータシートのパラメータテーブルに規定されている。ダイオードD6は、FR102、1N4148、あるいはBAV19/20/21の様な、低価格品で良い。ダイオードの電圧ストレスは、設計計算シートのバイパス巻線項を参照する。

フィードバック巻線電圧が7 V以上の場合(設計計算シートの V_{FLY})、追加巻線は不要となる。その場合、D6をトランス2ピンのフィードバック巻線に接続し、ピン1とピン2の巻線を削除する。

FEEDBACKピン抵抗値

初期値

抵抗 R_{UPPER} 及び R_{LOWER} で、抵抗ネットワークを構成し、内部MOSFETのオン及びオフ時間のFEEDBACK (FB)ピン電圧を設定する。

CV動作時、コントローラがON/OFF制御ステートマシンを使い、FBピン電圧を V_{FBth} に維持する様制御する。FEEDBACKピン電圧は、内部MOSFETのターンオフ後2.5 μ sにてサンプリングされる。軽負荷時、トランスの磁束密度を下げるため、カレントリミット値は低下する。

CC動作時、定電流制御を行うために、FEEDBACKピン電圧の変化に応じ、周波数を調整する。

MOSFETのオン時には、FBピン電圧はDC入力電圧のモニタに使用され、これにより、入力電圧によるCCのバラつきを抑える。

R_{UPPER} 及び R_{LOWER} の初期値は、[D39]及び[D40]に表示され、初回試作基板に使用する。試作基板が作られ、テストされた際、最終的な抵抗値を規定するため、下記の微調整手順に従う。精度を上げるため、試作値に最も近い、1%抵抗を使用する。 R_{UPPER} 及び R_{LOWER} は、FEEDBACKピンにできるだけ近づける事。

微調整

電源の試作品組立て後、設計計算シートの微調整項(図15)に、調整した抵抗値を入力する。フィードバック抵抗 R_{UPPER} 及び

R_{LOWER} の、実際に使用している値をセル[D98]及び[D99]に入力し、出力電圧の測定値と、ピーク出力電力点での電流測定値を各々セル[D100]及び[D101]に記入する。PIXIs計算シートでは、出力電圧及び電流を各々センター値に調整するため、微調整されたフィードバック抵抗 $R_{UPPER(FINE)}$ 及び $R_{LOWER(FINE)}$ を計算する。

ステップ8 - 出力ダイオードとダミー負荷の選択

出力ダイオードは、高速、あるいは超高速ダイオードか、ショットキータイプを選択する。

ダイオードは、規定された電圧定格(V_R)に対し、十分なマージンをとり、通常 $V_R \geq 1.2 \times PIVs$ とする。ここで、PIVs、設計計算シートのVoltage Stress Parameters項の値とする。試作品を用いて、 VAC_{MAX} 時の電圧値を、オシロスコープを使い測定する。

ダイオードは、 $I_D \geq 2 \times I_O$ の条件を満足するものを選択する。ここで I_D は、ダイオードの定格電流、 I_O は出力電流値とする。必要な場合、温度や効率に対する要求を満足させるため、ダイオードの自己発熱を考慮し、大きなダイオードを使用する。

テーブル9に、LinkSwitch-IIに適した、ショットキー及び超高速ダイオードを紹介する。

出力電圧は、毎回のスイッチングの際にサンプリングされるので、無負荷時の応答特性を維持するために、最小スイッチング周波数は維持される。従って、電源が無負荷状態でも使用される場合、軽負荷時(25 mW以下)、あるいは無負荷時の出力電圧の上昇を防ぐために、ダミー抵抗を使用する(図16のR3参照)。

無負荷時に出力電圧レギュレーションを維持する必要がある設計

シリーズ名	タイプ	VR範囲	I_F	パッケージ	メーカー
		V	A		
1N5817 to 1N5819	Schottky	20-40	1	Leaded	Vishay
SB120 to SB1100	Schottky	20-100	1	Leaded	Vishay
11DQ50 to 11DQ60	Schottky	50-60	1	Leaded	Vishay
1N5820 to 1N5822	Schottky	20-40	3	Leaded	Vishay
MBR320 to MBR360	Schottky	20-60	3	Leaded	Vishay
SS12 to SS16	Schottky	20-60	1	SMD	Vishay
SS32 to SS36	Schottky	20-60	3	SMD	Vishay
UF4002 to UF4006	Ultrafast	100-600	1	Leaded	Vishay
UF5401 to UF5408	Ultrafast	100-800	3	Leaded	Vishay
ES1A to ES1D	Ultrafast	50-200	1	SMD	Vishay
ES2A to ES2D	Ultrafast	50-200	2	SMD	Vishay
SL12 to SL23	Schottky (low V_F)	20-30	1	SMD	Vishay
SL22 to SL23	Schottky (low V_F)	20-30	2	SMD	Vishay
SL42 to SL44	Schottky (low V_F)	20-30	4	SMD	Vishay

テーブル9. LinkSwitch-II設計に使用可能な推奨ダイオード

の場合、通常出力電圧時に、約25 mWの抵抗を接続し、検討を開始する。例えば、5 V出力の場合、1 kΩの抵抗を使用する。出力電圧が無負荷時に上昇する場合、出力電圧が電圧仕様にミートするダミー抵抗を選択する。一次側クランプ回路と、バイアス巻線の損失増大による入力電力の上昇を最小限に抑えるため、無負荷時の電圧上昇分を定格電圧の50%以下に抑える。

ダミー抵抗は、無負荷時の電力損失を増大させるので、必要に応じて、無負荷時待機電力を、無負荷時出力電力とのトレードオフと考え、仕様が許容できる範囲で調整する。

ステップ9 - 出力コンデンサと最適な二段フィルタの選択

$V_{O(MAX)}$ の1.2倍以上の電圧定格を持つ、コンデンサを選択する。

以下に示す、許容等価シリーズ抵抗(ESR)値を利用し、コンデンサを初期選択する。

$$ESR_{MAX} = \frac{V_{RIPPLE(MAX)}}{I_{SP}}$$

ここで、 $V_{RIPPLE(MAX)}$ は規定された出力リップルノイズの値、 I_{SP} は設計計算シートのトランス二次パラメータ項で計算される、二次側ピーク電流値である。

絶対最小コンデンサ容量値(ESRの影響を除く)は下記となる。

$$C_{OUT(MIN)} = \frac{I_{O(MAX)} \left(\frac{1}{F_S} - D_{CON} \right)}{V_{RIPPLE(MAX)}}$$

ここで、 $I_{O(MAX)}$ は最大出力電流、 F_S はスイッチング周波数、 D_{CON} は出力ダイオード導通時間、 $V_{RIPPLE(MAX)}$ は最大許容出力リップル電圧である。コンデンサのリップル電流定格が、 I_{RIPPLE} 以上であることを確認する(設計計算シートのトランス二次側パラメータ項にて計算)。対応していない場合、この要求を満足する、最も小さな容量値のコンデンサを選択する。多くのコンデンサメーカーは、コンデンサ動作温度がデータシート記載の最大値より低い場合、リップル電流定格値を大きくできる基準を持っている。コスト面から見ても、コンデンサが大き過ぎる事が無いよう、このような基準についても十分考慮すべきである。

出力コンデンサのサイズを小さくするために、LC 2段フィルタが使用され、これによりESRに関するスイッチングノイズが下がる。出力電流 I_O が500 mA以下の設計の場合、電流定格が I_O 以上で、1 μHから3 μHインダクタか、フェライトビーズを選択する。台のコンデンサは、高速に応答するため、低ESR品で、100 μFから220 μFとする。二次側リップル電流は、このコンデンサには流れないので、ESRやリップル電流の要求は無い。

出力コンデンサは、二つのコンデンサに分割される事があるが、全体のリップル電流の定格値は、各々のコンデンサの定格値の和となる。

ステップ10 - 一次側クランプ回路部品

LinkSwitch-IIの場合、テーブル10に紹介する、3種類の共通クランプ回路が適している。

RCD及びRCDZタイプ回路では、ピークドレイン電圧を680 V以下

一次側共通クランプ回路

RCD	RCDZ (ツェナーブリード)	RDZ (ツェナー)
PI-5107-041308	PI-5108-041308	PI-5109-041308
D_{C1} : 1N4007, 1 A, 1000 V R_{C1} : 100 Ω - 300 Ω, 1/4 W C_{C1} : 470 pF - 1000 pF R_{C2} : 330 kΩ - 680 kΩ, 1/2 W	D_{C1} : 1N4007, 1 A, 1000 V D_{C2} : BZY97Cxxx (xxx = 90 V to 120 V) R_{C1} : 100 Ω - 300 Ω, 1/4 W R_{C2} : 47 kΩ - 150 kΩ, 1/2 W C_{C1} : 470 pF - 1000 pF	D_{C1} : 1N4007, 1 A, 1000 V R_{C1} : 100 Ω - 300 Ω, 1/4 W C_{C1} : 470 pF - 1000 pF (optional) D_{C2} : BZY97Cxxx (xxx = 150 V to 200 V)

テーブル10. LinkSwitch-II設計に適した一次側クランプ回路

に維持し、 C_{C1} を小さく、 R_{C2} を大きくする。 C_{C1} が大きい場合、クランプ電圧のリセット時間が長くなり、その結果出力リップル電圧が大きくなり、フィードバック巻線のサンプリング電圧に影響する可能性がある。RDZ回路の場合、 C_{C1} はオプションであり、漏れインダクタンスからのエネルギーの回生をする。抵抗 R_{C1} は、リンギングを抑え、アンダーシュートを下げるために、抵抗値を調整し(設計のヒント項参照)、伝導EMIを低減する。この、RCD回路は低コストである。RCDZ回路は、RCD回路の低EMIを維持しながら、無負荷待機電力が減少する。RDZ回路は、無負荷待機電力は最も小さいが、EMIコストは最も高い。

E-Shields™付きのトランス巻線例

PIXIs計算シートでの設計が終了すると、トランス設計を行うための全ての情報を使用できる。この項では、設計のヒントとなる巻線順序や、Power Integrationsが知的所有権を保有するE-Shieldの手法について紹介する。シールド巻線により伝導EMI特性が改善し、コモンモードチョークの削減、あるいは軽減、更には一次 - 二次間のYコンデンサを削除する事で、入力フィルタを簡素化する事ができる。図17及び図18に、巻線仕様(WDx)を紹介する。

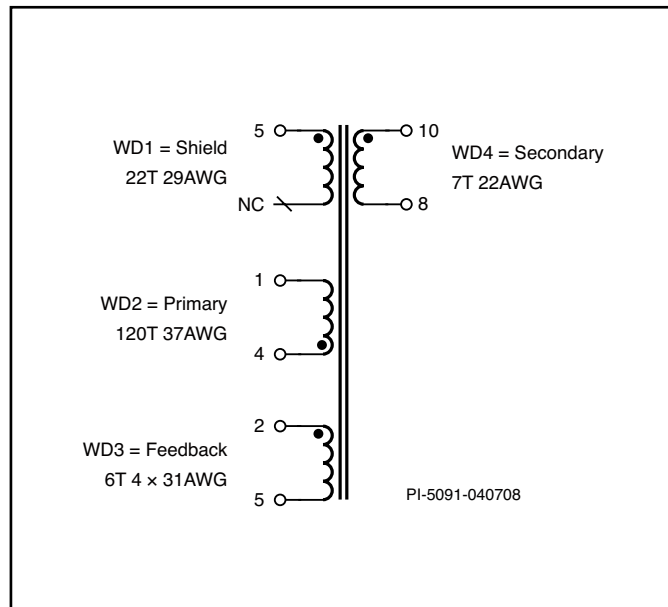


図17. トランス巻線の代表例

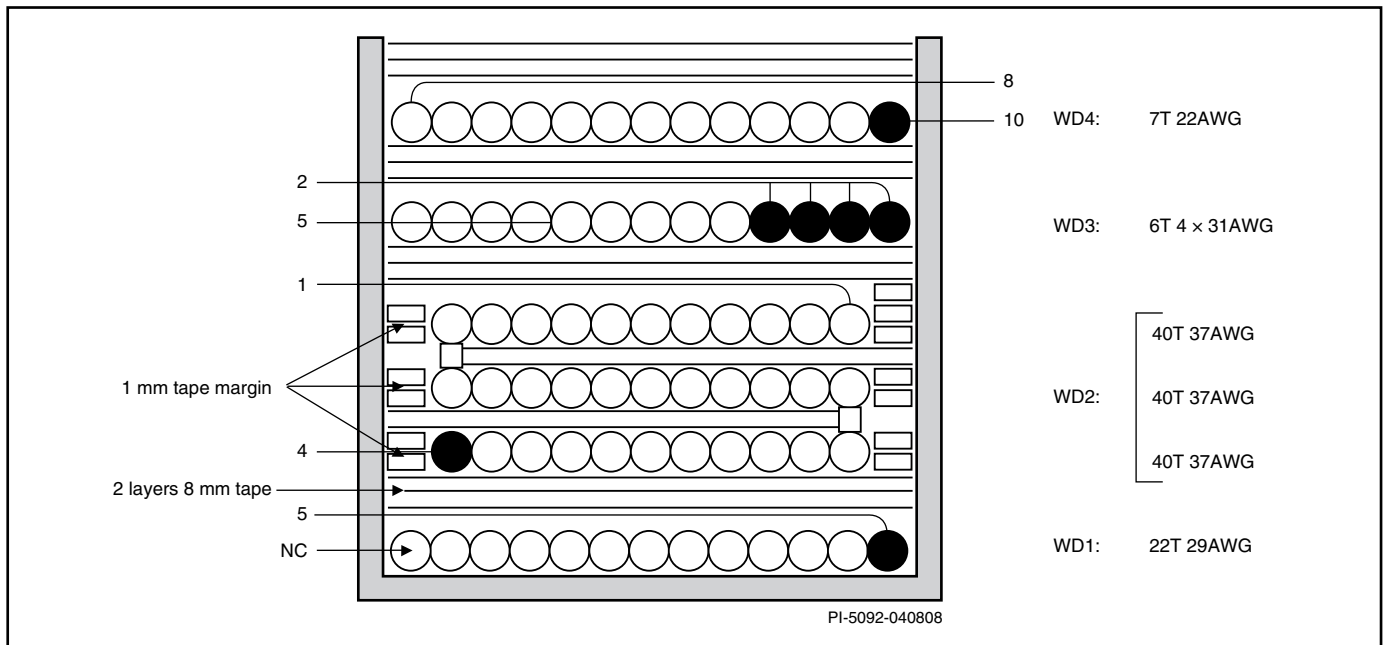


図18. LinkSwitch-II トランスの巻線構造

シールド巻線

トランスの第1層はシールド巻線である(WD1)。PIXIsからの一次巻線数 N_p [D69]を、巻線層数L [D51]で割り算し、その結果をさらに2で割る($N_{\text{SHIELD}} = 0.5 \times (N_p/L)$)。この値を初期値とするが、伝導EMIを抑えるために、調整が必要となるケースもある。注: シールド巻線の巻き始め(黒ドット)は、ボビンの一次巻線の巻き始めとは逆側からスタートする。シールド巻線の終端は、フローティングとする。ボビン幅いっぱいに巻線されるよう、ワイヤー径を選択する。

一次巻線

第2の巻線(WD2)は、一次巻線である。PIXIs計算シートに記載の、巻数 N_p [D69]、層数L [D51]、及びワイヤー径AWG [D81]とする。図18に示す様に、一次巻線の巻き始めは、シールド巻線の巻き始めとはボビンの逆側からスタートする。量産時のバラつきを抑えた設計にするために、1 mmテープをオプション使用すると、EMIの再現性が改善する。テープマージンを考慮するため、PIXIs計算シートのセル[B50]に1 mmを入力する。

フィードバック巻線

フィードバック巻線が、ボビンの第3の巻線(WD3)となる。巻数は、PIXIs計算シートの N_{FB} [D28]とするが、伝導EMIノイズを抑えるため、ボビンの巻幅いっぱいに巻線する。多数本巻線となるが、巻線径と巻線本数を最適化するため、試作実験が必要となるケースもある(並列巻線)。一般的に、一つのボビン端子にからげられる場合、4本以上のワイヤは生産性の問題があり、推奨しない。

二次巻線

最後の巻線が、二次巻線である(WD4)。PIXIs計算シートの N_s [D52]が巻数となり、フィードバック巻線の巻き始めと、ボビンの同じ側からスタートする。ワイヤー径が、ボビンの巻幅いっぱいになる様に選択する。安全規格の要求に対応するために(一般に6 mmから6.2 mm)、幅の広いマージンテープを使用する事を避け、更に、トランスのコアサイズを小さくするために、三層絶縁線を推奨する。

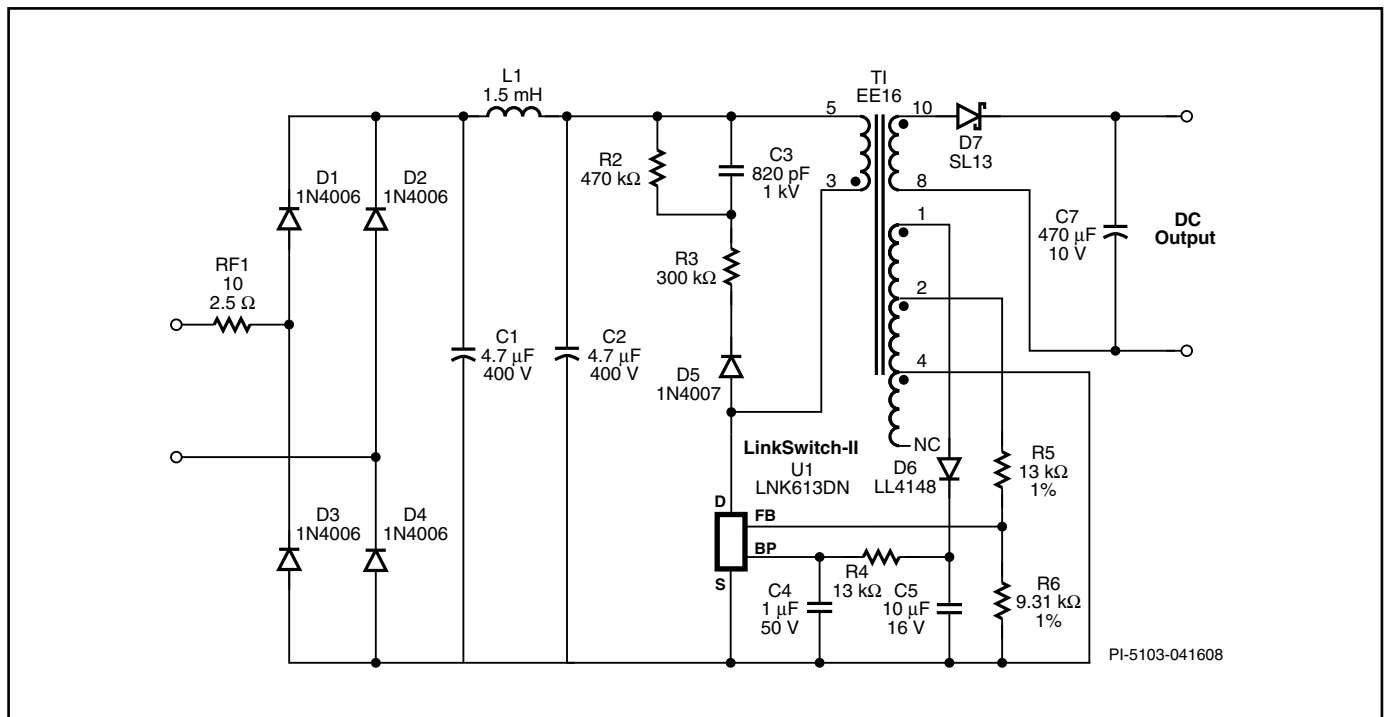


図19. バイアス回路を追加する事で、無負荷時の待機電力を下げ、軽負荷時の効率を上げたLinkSwitch-IIを使用したフライバック電源回路

バイアス巻線を追加したトランス例

図20及び21に、バイアス巻線を追加したトランスの配線図と構造図を各々紹介する。

この構造は、バイアス巻線を一次巻線とフィードバック巻線の間に配置した事を除けば、バイアス巻線を持たないトランスの構造と同じである。PIXIs計算シートのセル[D34]に表示される、フィードバック巻線の巻数 N_B に巻数が追加される。

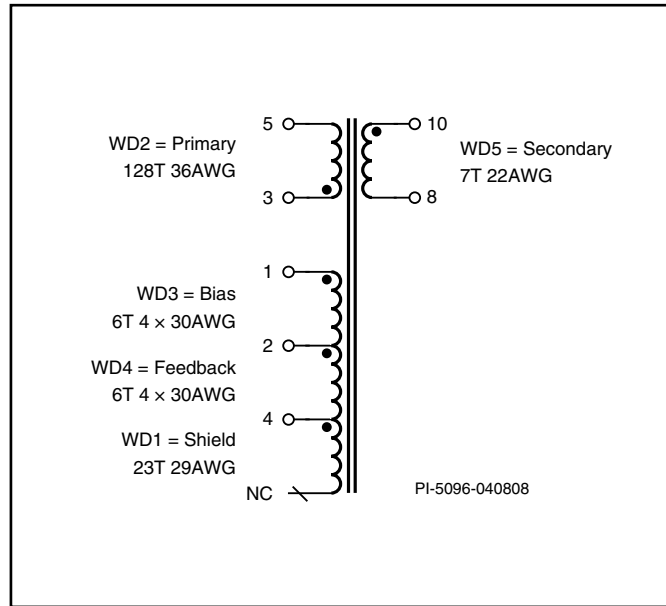


図20. バイアス巻線を持つトランス配線図

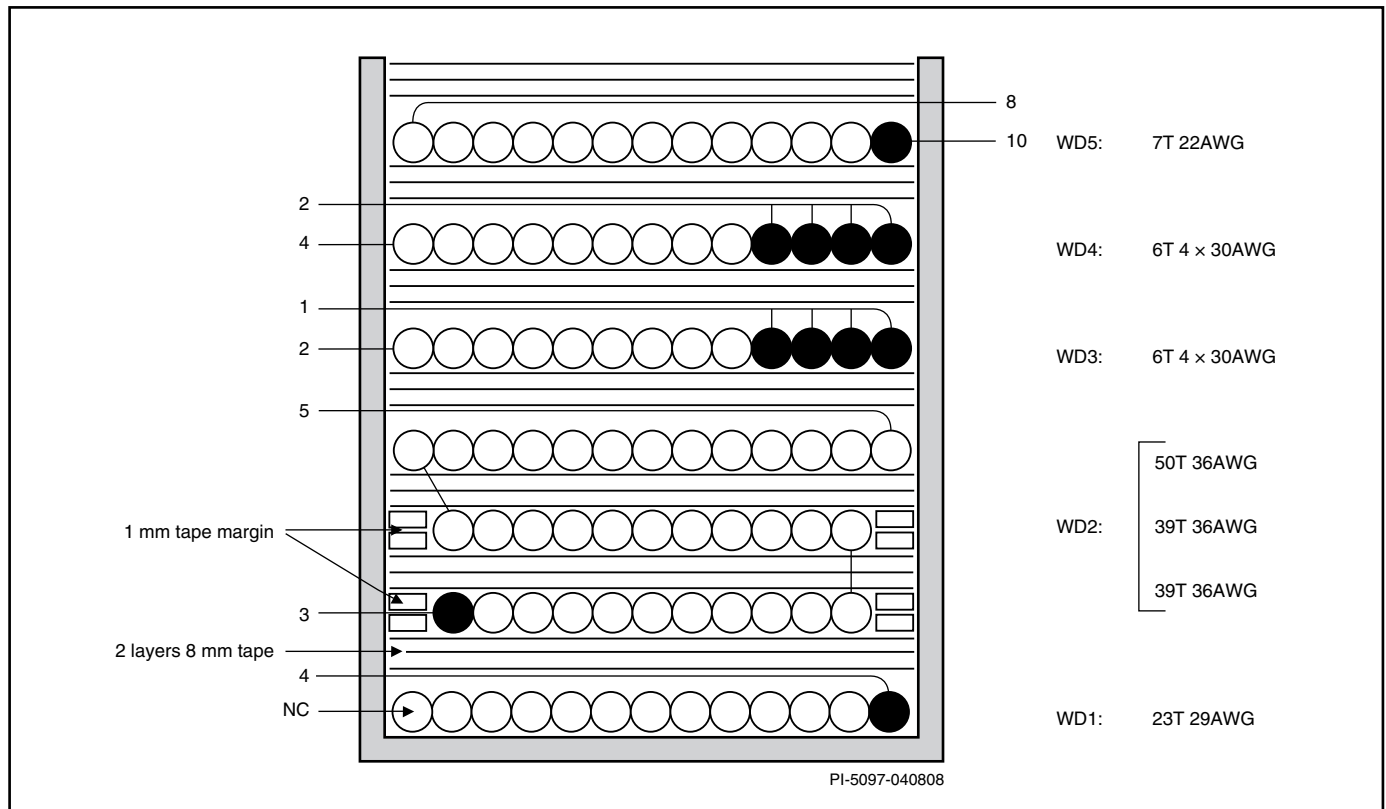


図21. バイアス巻線が追加されたトランス構造図

設計のヒント

出力跳ね返り電圧(V_{OR})の調整

これまで、パワー・インテグレーションズの他のデバイスファミリの設計計算シートを使用したユーザーは、LinkSwitch-IIの計算シートでは、一部のパラメータ(V_{OR} 、 N_S 及び N_P)を直接変更できない事に気づくかもしれません。これらのパラメータを変更するためには、以下の関連パラメータを変更する。

V_{OR} : D_{CON} あるいは F_S を増やすと、 V_{OR} が減少する。

N_S : D_{CON} を増やすと N_S が減少する。

N_P : $B_{M(TARGET)}$ で規定される。

出力公差

各LinkSwitch-IIデバイスは、電源テストモジュールを使い(LinkSwitch-IIデータシートの図21を参照)、 $\pm 2.5\%$ の初期CC公差で、工場出荷時にトリミングされる。これは、データシートの正規値化された出力電流パラメータ、 I_o で規定される。

FEEDBACKピン電圧(V_{FBH})の公差が厳しく、温度変動(TC_{VFB})も小さいので、CVモード動作時の出力電圧レギュレーション特性は、非常に良い。

P/Gパッケージの場合、LinkSwitch-IIは総合出力変動として(入力電圧、部品バラつき、温度)ジャンクション温度が $0\sim 100^\circ\text{C}$ の範囲で、CV動作時に出力電圧 $\pm 5\%$ 、CC動作時に出力電流 $\pm 10\%$ を実

現できる。

Dパッケージ(SO8)の場合、製造時のフロー(ハンダフロー、あるいはIRリフロー)時のストレスにより、CC公差がやや大きくなる事がある。従って、各設計毎の製造バラつきを、試作品にて確認する事を推奨する。

推奨レイアウト

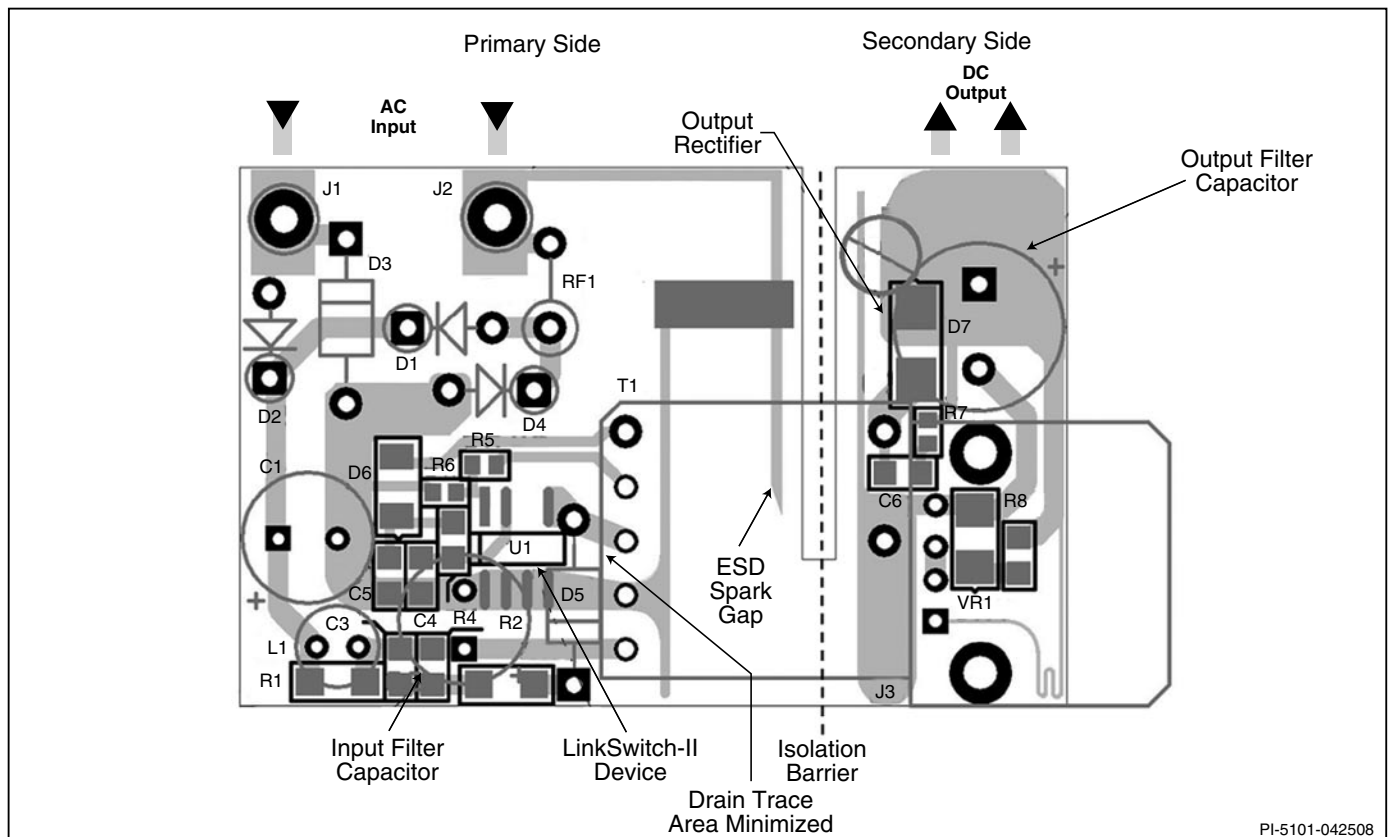
回路レイアウト

LinkSwitch-IIは、ワンチップ上にコントローラと高耐圧MOSFETを集積した電源ICである。トラブルが無く、電源が安定動作するために、良好な基板設計を行う事が重要である。図22、23にLinkSwitch-IIの推奨レイアウトを紹介する。

LinkSwitch-IIを使った電源基板を設計する際、以下のガイドラインに従う事が重要である。

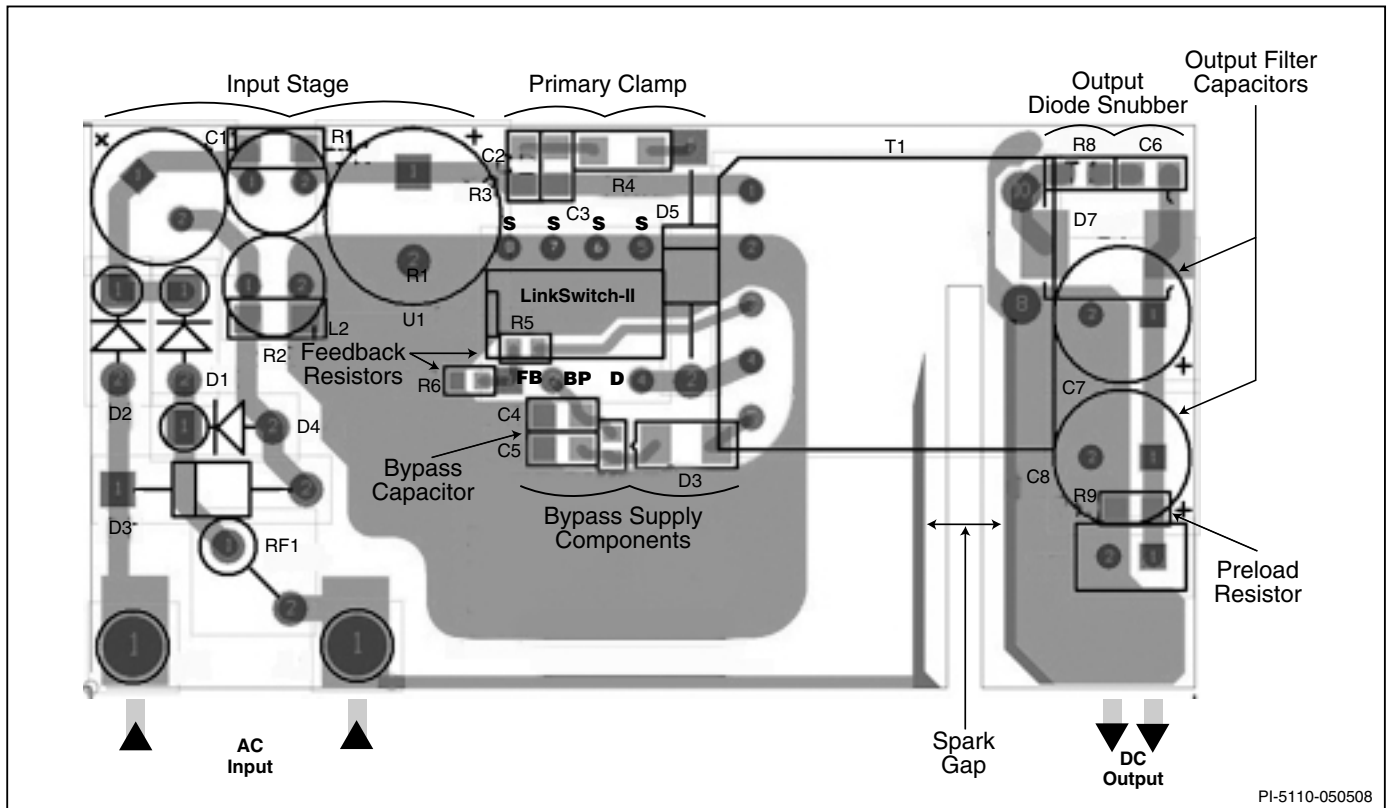
グラウンド一点接続

LinkSwitch-IIのSOURCEピンとバイアス巻線のリターンは、入力フィルタコンデンサのマイナス端子にて一点接続(ケルビン接続)する。これにより、バイアス巻線から入力フィルタコンデンサにリターンサージ電流が直接流れ、サージ耐量が改善する。



PI-5101-042508

図22. SO8(D)パッケージを使った、2.5 W電源の基板レイアウト例



PI-5110-050508

図23. Pパッケージを使った、5.1W電源の基板レイアウト例

バイパスコンデンサ

BYPASSピンコンデンサは、SOURCEピンとBYPASSピンに、できるだけ近づけて配置する。

フィードバック抵抗

フィードバック抵抗は、LinkSwitch-IIデバイスのFEEDBACKピンに直接接続する。これにより、ノイズの影響を抑える。

放熱チェック

SOURCEピンに接続された銅箔部は、LinkSwitch-IIのヒートシンクとなる。LinkSwitch-IIは通常、出力電力の10%をICで損失する。銅箔部を十分大きくし、SOURCEピン温度を90°C以下に保つ。出力定電流(CC)公差が、±10%以上でも問題無い場合、更に高い温度でも許容できる。その場合、 $R_{DS(ON)}$ の部品毎のバラつきを考えると、最大SOURCEピン温度を110°C以下に抑える事を推奨する。

二次側ループエリア

基板パターン上のインダクタンスとEMIノイズを低減するため、出力巻線、出力ダイオード、及び出力フィルタコンデンサのループ面積を小さくする。更に、出力ダイオードのアノード及びカソード端子のパターンを十分大きく取り、熱放散させる。また、電位の安定しているカソード端子側のパターンを大きく取る。アノード側のパターンを大きく取ると、放射EMIが大きくなる事がある。

静電気放電ギャップ

絶縁部に沿ってパターンを引き、これをスパークギャップの片方の電極とする。二次側のもう一方の電極は、出力のリターンとする。スパークギャップにより、二次側からAC入力側へESDエネルギーが誘導される。AC入力側スパークギャップ電極パターンから、二次側パターンは離され、パターン間の不要なアークの発生と回路の破損を防ぐ。

ドレインクランプの最適化

LinkSwitch-IIは、出力電圧レギュレーションのため、一次側のフィードバック巻線をセンスする。フィードバック巻線電圧は、内部MOSFETのオフ時、二次側巻線電圧に比例する。従って、漏れインダクタンスによるリングングが発生すると、出力レギュレーションに影響する。高周波リングングを抑えるため、ドレインクランプを最適化すればレギュレーション特性は改善する。図24に、良好なドレイン電圧波形を紹介する。これと比較し、図25では漏れインダクタンスによるリングングのため、大きなアンダーシュートが発生している。このリングングにより、結果的に出力電圧レギュレーション特性が悪化する。このリングング(あるいはアンダーシュート)を抑えるため、クランプダイオードに直列に接続された抵抗値を調整する。

設計チェックリスト

いかなる電源設計に対して言えるが、LinkSwitch-II設計についても、動作実験をし、使用部品が最悪のケースでもその仕様を超えていないことを確認する。

推奨テスト

以下の実験を、最低限行うよう推奨する。

1. 最大ドレイン電圧 - 最大入力電圧、最大出力電力時に、ピークドレイン電圧 V_{DS} が680Vを超えない事を確認する。
2. 最大ドレイン電流 - 最高周囲温度、最大入力電圧、最大出力負荷時における起動時のドレイン電流を観測し、トランスの飽和やリーディングエッジのスパイク電流を確認する。LinkSwitch-IIIにはONサイクルがスパイクの影響で終了する事を防

ぐため、170 nsのリーディングエッジブランキング時間が規定されている。

3. 発熱の確認 - 最大出力電力時、最大/最小入力電圧時、及び最高周囲温度時に、LinkSwitch-II、トランス、出力ダイオード及び出力コンデンサが、それぞれの仕様範囲を超えていない事を確認する。LinkSwitch-IIの $R_{DS(ON)}$ は、データシートに記載されている様に、部品毎にバラつきがあるので、十分な温度マージンを取るべきである。10%のCC公差で動作させるためには、SOURCEピンの温度は90℃以下にする事を推奨する。

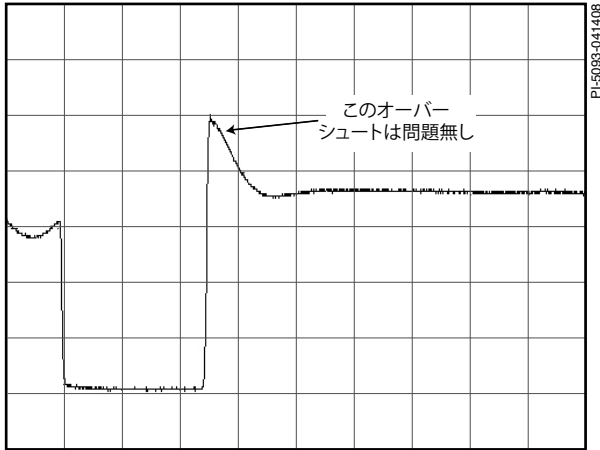


図24. 好ましいドレイン波形

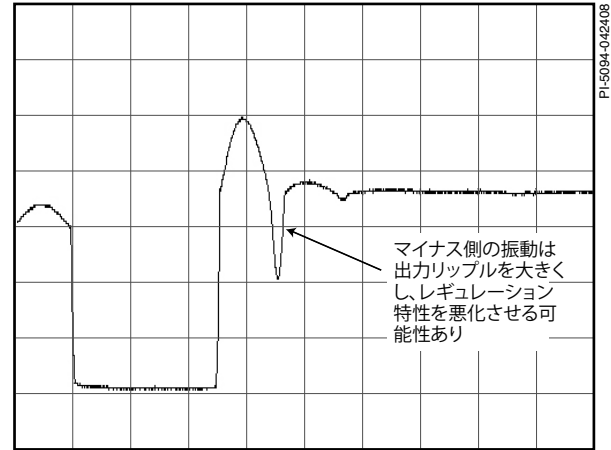


図25. 好ましくないドレイン波形

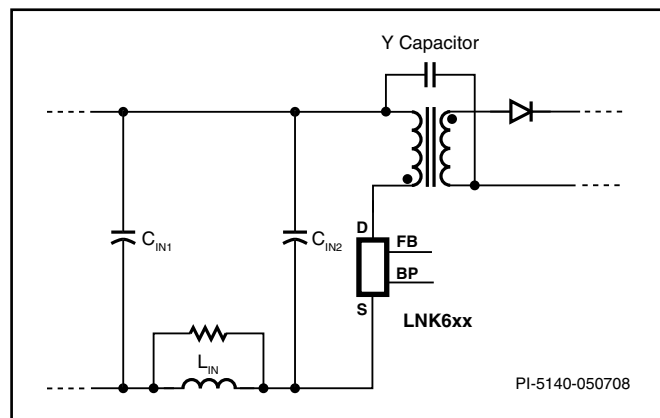


図26. Yコンデンサ使用時の入力インダクタの配置

Notes

Notes

Revision	Notes	Date
A	Initial Release	05/08
B	Minor changes to pages 4, 7, 12	07/08

最新情報は、弊社ホームページ：www.powerint.com へアクセスして下さい。

仕様等は、信頼性の向上や生産性改善のため、変更されることがあります。また、ここに掲載する部品や回路等の情報の使用に対して、その信頼性を保証したり、特許に基づく許諾を与えるものではありません。また、商用性や特定の目的に対する適合性等を保証するものではありません。当社及び第三者の知的所有権に基づく許諾を与えるものでもありません。

特許に関して

本書掲載の製品及びアプリケーション(トランス構造や外部回路等含む)はアメリカ合衆国及びその他の国に於ける特許で保護されている可能性があります。また、当社がアメリカ合衆国及びその他の国に於いて特許申請中の可能性があります。詳しい内容については、弊社ホームページ：www.powerint.com を参照して下さい。当社の特定の特許について、<http://www.powerint.com/ip.htm> に掲げる規定に基づき、顧客の使用を認める。

生命関連への応用について

弊社の製品は、生命維持のために重要な装置やシステムに、弊社代表の書面による許可なしに使用することを認めておりません。

1. 生命維持装置またはシステムとは、(i) 体内に埋め込む、または (ii) 生命維持のための装置・システムのことで、(iii) 取り扱い説明書に従い適切に使用している時でも、誤作動した場合に、明らかに使用者に重大な障害 / 損害を及ぼす可能性が見込まれる物を言う。
2. 重要部品とは、生命維持装置やシステムに使用され、誤作動した場合、その装置やシステムに使用され誤作動した場合、生命維持のための装置やシステムの重大な故障の原因になったり、その安全性や性能に重大な影響を与えうる、あらゆる部品の事を言う。

PIロゴ、TOPSwitch、TinySwitch、LinkSwitch、DPA-Switch、PeakSwitch、EcoSmart、Clampless、E-Shield、Filterfuse、StakFET、PI Expert 及びPI FACTSは当社の登録商標です。その他の商標は、各々の会社が所有権を有します。

©2008, Power Integrations, Inc.

Power Integrations Worldwide Sales Support Locations

World Headquarters

5245 Hellyer Avenue
San Jose, CA 95138, USA.
Main: +1-408-414-9200
Customer Service:
Phone: +1-408-414-9665
Fax: +1-408-414-9765
e-mail: usasales@powerint.com

China (Shanghai)

Rm 807-808A
Pacheer Commercial Centre,
555 Nanjing Rd. West
Shanghai, P.R.C. 200041
Phone: +86-21-6215-5548
Fax: +86-21-6215-2468
e-mail: chinasales@powerint.com

China (Shenzhen)

Rm A, B & C 4th Floor, Block C,
Electronics Science and
Technology Bldg., 2070
Shennan Zhong Rd,
Shenzhen, Guangdong,
China, 518031
Phone: +86-755-8379-3243
Fax: +86-755-8379-5828
e-mail: chinasales@powerint.com

Germany

Rueckertstrasse 3
D-80336, Munich
Germany
Phone: +49-89-5527-3910
Fax: +49-89-5527-3920
e-mail: eurosales@powerint.com

India

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
Fax: +91-80-4113-8023
e-mail: indiasales@powerint.com

Italy

Via De Amicis 2
20091 Bresso MI
Italy
Phone: +39-028-928-6000
Fax: +39-028-928-6009
e-mail: eurosales@powerint.com

Japan

神奈川県横浜市港北区
新横浜2-12-11 光正第3ビル
〒222-0033
Phone: +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@powerint.com

Korea

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
Fax: +82-2-2016-6630
e-mail: koreasales@powerint.com

Singapore

51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
Fax: +65-6358-2015
e-mail: singaporesales@powerint.com

Taiwan

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
Phone: +886-2-2659-4570
Fax: +886-2-2659-4550
e-mail: taiwansales@powerint.com

Europe HQ

1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
Phone: +44 (0) 1252-730-141
Fax: +44 (0) 1252-727-689
e-mail: eurosales@powerint.com

Applications Hotline

World Wide +1-408-414-9660

Applications Fax

World Wide +1-408-414-9760
